

Diseño de un *flip-flop* RS utilizando proyección de sombras para sistemas de computación óptico-digital

Alicia Vera Marquina y Francisco J. Renero Carrillo
Instituto Nacional de Astrofísica Óptica y Electrónica
Calle Luis Enrique Erro No. 1, Santa María Tonantzintla
Apartados postales 51 y 216, 72000 Puebla, Pue., Mexico

Recibido el 13 de agosto de 1998; aceptado el 16 de noviembre de 1998

Utilizando la técnica de proyección de sombras para procesamiento en paralelo, se presenta el diseño e implementación de un *flip-flop* RS híbrido, que utiliza polarización para codificar las entradas, un prisma divisor de haz para transmitir y reflejar luz polarizada y un circuito electrónico para la conmutación fotoeléctrica y retardo de tiempo. También se caracteriza por ejecutar operaciones lógicas secuenciales con retroalimentación óptica y utiliza una fuente de luz con estados variables. Este dispositivo híbrido, que puede ejecutar varios *flip-flops* RS en paralelo, tiene una eficiencia en términos de velocidad de 62.5 Hz para cada *flip-flop*, cuya limitación es el tiempo de respuesta del modulador espacial de luz.

Keywords: Opto-digital computation

Using the shadow casting technique for parallel processing, design and implementation of a hybrid *flip-flop* RS are presented, which employ the polarization technique as the input codification, a prism to reflect and transmit polarized light. An electronics circuit is used for the photoelectric conmutation and for the time delay. Implementing sequentially logic operations with an optical feedback. This hybrid device may execute several *flip-flop* RS in parallel, with an efficiency in terms of velocity of 62.5 Hz for each *flip-flop*. The limitation of this device is the time response of the spatial light modulator.

Descriptores: Computación óptico-digital

PACS: 42.79.T

1. Introducción

En la mayoría de los sistemas digitales comerciales, incluyendo los elementos de memoria, su funcionamiento se describe en términos de lógica secuencial. Un circuito es secuencial cuando su operación resultante depende solamente de la operación precedente. Los elementos de memoria que se usan en los circuitos secuenciales se llaman *flip-flops*; éstos tienen dos salidas, una para el valor normal y otra para el valor complementario del bit almacenado en él.

En los últimos años ha habido un gran interés y esfuerzo en emplear la luz como portadora de información para procesamiento; esto debido a que la luz ofrece paralelismo, alta velocidad, no interferencia en comunicación y variedad en la representación de los datos [1-3].

En la literatura podemos encontrar esquemas de *flip-flops*, basados en circuitos optoelectrónicos [4, 5], con la principal desventaja que obtienen su retroalimentación electrónicamente, lo cual limita la eficiencia del sistema en términos de velocidad. En otros esquemas [6] la retroalimentación es realizada en el plano de entrada; así el estado presente del *flip-flop*, después de cambiar las entradas, no se mantiene debido a que no hay una retroalimentación física.

En este trabajo presentamos un *flip-flop* híbrido, cuya parte óptica utiliza proyección de sombras [7, 8] y codificación polarizada [9-11]. Un prisma polarizador se encarga de obte-

ner los canales para las salidas lógicas ópticas y para que se realice la retroalimentación óptica; también, la fuente tiene estados variables con lo cual el procesador óptico se comporta como un *flip-flop*. El dispositivo electrónico se usa para detectar la señal óptica, encender algunos diodos emisores de luz y mantenerlos en ese estado hasta que el estado lógico de la entrada cambie.

2. *Flip-flop* RS

La Fig. 1 muestra un circuito *flip-flop* construido por dos compuertas NOR. Este circuito forma un *flip-flop* RS básico bajo el cual puede construirse otros más complejos. La conexión y acoplamiento cruzado mediante la salida de una compuerta a la entrada de otra, constituye una trayectoria de retroalimentación. El *flip-flop* RS tiene dos salidas, $Q(t+1)$ y $\overline{Q}(t+1)$, y dos entradas, ajustar (set S) y restaurar (reset R).

La tabla de verdad para el *flip-flop* es mostrada en la Tabla I, donde el estado de entrada lógico $R = 1$ y $S = 1$ es un estado no permitido.

3. *Flip-flop* RS híbrido

El *flip-flop* RS, en el esquema de proyección de sombras con codificación polarizada se muestra en la Fig. 2. El plano fuente consiste de cuatro diodos emisores de luz (LEDs) donde

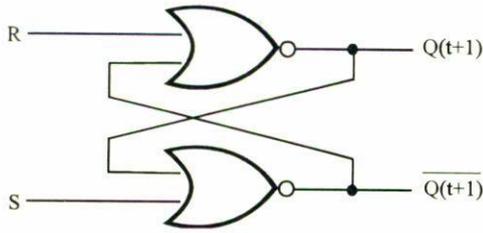


FIGURA 1. Circuito *flip-flop* básico con compuertas NOR.

TABLA I. Tabla de verdad del *flip-flop* RS

	Número de condición	S	R	$Q(t + 1)$	$\overline{Q(t + 1)}$
Set	1	1	0	1	0
	2	0	0	1	0
Reset	3	0	1	0	1
	4	0	0	0	1
	5	1	1	x	x

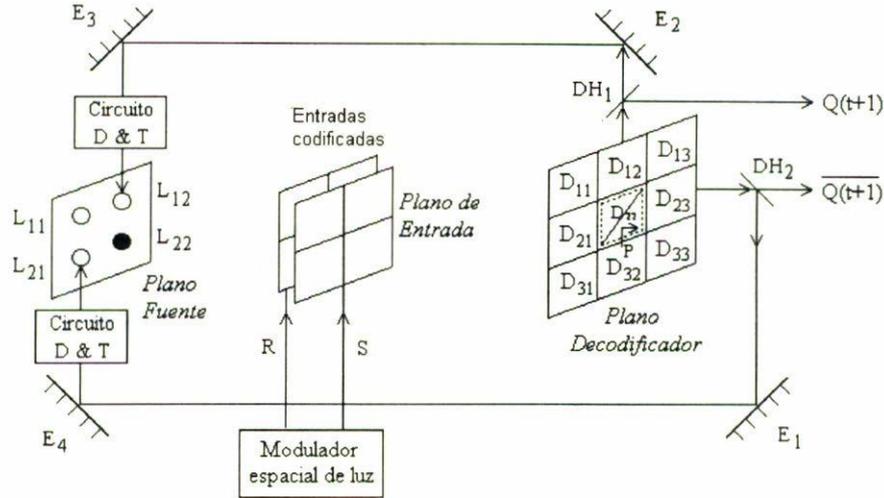


FIGURA 2. Diagrama esquemático para un *flip-flop* RS utilizando proyección de sombras. Donde L_{12} , L_{21} , L_{21} y L_{22} : diodos emisores de luz (LEDs); DH_1 y DH_2 : divisores de haz; E_1, E_2, E_3 y E_4 : espejos; P:prisma polarizador; $Q(t + 1)$ y $\overline{Q(t + 1)}$: salidas ópticas.

L_{12} y L_{21} están inicialmente apagados, L_{22} apagado todo el tiempo y L_{11} permanecerá encendido. L_{12} y L_{21} encenderán cuando un circuito fotoeléctrico conectado a estos LEDs reciban luz vía retroalimentación. Se utiliza una pantalla de cristal líquido (LCD) como modulador espacial de luz (SLM) para obtener los códigos de entrada polarizados para el plano de entrada en la configuración 2×2 ; considerándose las entradas sobrepuestas en una sola LCD. La mascarilla decodificadora es fabricada tal que los pixeles $D_{11}, D_{12}, D_{13}, D_{21}, D_{23}, D_{31}, D_{32}$ y D_{33} no permiten el paso de luz, siendo D_{22} el único que permite pasar luz. Un prisma divisor de haz (P) que transmite luz polarizada horizontalmente y refleja luz polarizada verticalmente, en direcciones ortogonales, se coloca en el pixel central del plano decodificador (D_{22}); éste provee un canal de procesamiento para el *flip-flop* RS. La luz que sale de este canal es detectada con la ayuda de los divisores de haz DH_1 y DH_2 y representan las salidas lógicas $Q(t + 1)$ y $\overline{Q(t + 1)}$ del *flip-flop* RS. La luz reflejada por los divisores de haz termina en los LEDs que inicialmente se encontraban apagados, esto con la ayuda de los espejos E_1, E_2, E_3 y E_4 . Un circuito de conmutación fotoelectrónica y de tiempo de

espera (D&T) ayuda a que los LEDs permanezcan encendidos después de remover la retroalimentación por un periodo de tiempo igual al tiempo que le toma cambiar al SLM su estado.

4. Codificación de las entradas RS

Para codificar las entradas R y S , éstas son representadas por matrices espaciales de 2×2 , y el plano fuente se caracteriza de la misma forma, como se muestra a continuación:

$$R = \begin{bmatrix} r_{11} & r_{12} \\ r_{21} & r_{22} \end{bmatrix}, \quad S = \begin{bmatrix} s_{11} & s_{12} \\ s_{21} & s_{22} \end{bmatrix},$$

$$L = \begin{bmatrix} L_{11} & L_{12} \\ L_{21} & L_{22} \end{bmatrix}. \quad (1)$$

La mascarilla decodificadora es representada por una matriz de 3×3 :

$$\begin{bmatrix} D_{11} & D_{12} & D_{13} \\ D_{21} & D_{22} & D_{23} \\ D_{31} & D_{32} & D_{33} \end{bmatrix}. \quad (2)$$

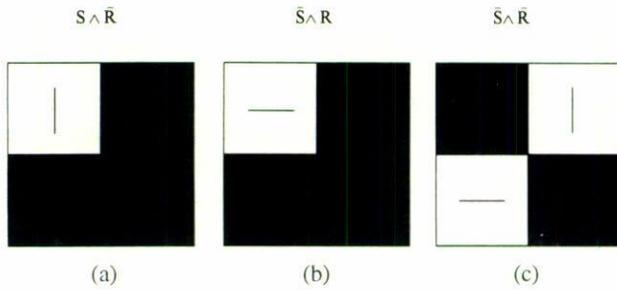


FIGURA 3. Mascarillas codificadoras de entrada para las operaciones (a) {10}, (b) {01}, (c) {00}. Donde |: código vertical, —: código horizontal y código F: zona oscura.

Como el pixel D_{22} es elegido como la localidad comun para las dos salidas, la ecuación de entrada-salida para D_{22} es

$$D_{22} = L_{11} \wedge O_{11} + L_{12} \wedge O_{12} + L_{21} \wedge O_{21} L_{22} \wedge O_{22}, \quad (3)$$

donde $O_{ij} = r_{ij} \wedge s_{ij}$; y \wedge = traslape.

La retroalimentación obtenida para el sistema de la Fig. 2 se representa con las siguientes ecuaciones:

$$L_{11} \wedge O_{11} \mapsto D_{22} \iff L_{12} \wedge O_{12}, \quad (4)$$

$$L_{11} \wedge O_{11} \mapsto D_{22} \iff L_{21} \wedge O_{21}, \quad (5)$$

donde el símbolo \iff representa proyección.

El significado físico de estas ecuaciones es que el pixel de entrada {11} es proyectado a D_{22} . La doble flecha representa el flujo de la señal óptica de D_{22} a cualquiera de los LEDs L_{12} o L_{21} , dependiendo de la polarización del pixel proyectado, así encendiéndolo. Entonces, L_{12} o L_{21} pueden proyectar sus correspondientes pixeles de entrada a D_{22} .

El proceso de diseño comienza por la implementación de una de las condiciones de la tabla de verdad para la cual las salidas asumen un distinto nivel lógico, además para mantener el estado previo. Al pixel de entrada traslapado a ser proyectado es asignado un código arbitrario (vertical |, u horizontal —). Entonces, la condición para la cual las salidas mantienen su distinto nivel lógico es obtenida por provisión de retroalimentación al LED apropiado. Este LED puede ser usado con un apropiado pixel de entrada que satisfaga esta condición de entrada. El correspondiente patrón de pixel de entrada es determinado cuando incorporamos los códigos ya obtenidos al mismo tiempo.

De la Tabla I se observa que hay sólo tres operaciones correspondientes a las combinaciones de entradas {01}, {10} y {00}. Entonces, usando los resultados obtenidos, los patrones codificados para las anteriores combinaciones se muestran en la Fig. 3, donde: R y $S = 1$ lógico, y \bar{R} y $\bar{S} = 0$ lógico. La zona oscura que representa el código falso (F) bloquea la luz de los LEDs.

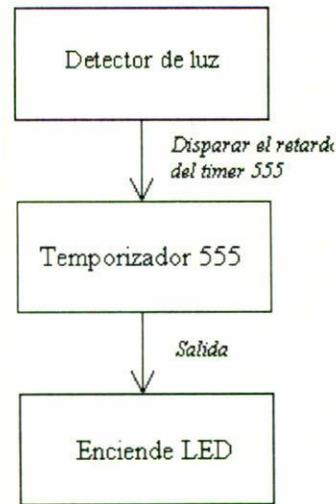


FIGURA 4. Diagrama a bloques del circuito D&T.

5. Funcionamiento del flip-flop RS híbrido

El LED L_{11} proyecta el código vertical del patrón dado en la Fig. 3a al centro del plano decodificador, entonces $Q(t + 1) = 1$, y $\bar{Q}(t + 1) = 0$ y L_{12} encenderá vía retroalimentación; entonces se dice que el flip-flop se encuentra en el modo establecido (Set), y permanecerá en este modo cuando las entradas sean {00}. El tiempo en el que el SLM cambie el código de {01} a {00} la retroalimentación será cortada momentáneamente, porque la luz no es proyectada al centro del decodificador. Aquí el circuito de almacenamiento de energía D& T ayuda a que L_{12} esté encendido hasta que el próximo estado de la Fig. 3c llegue a la entrada, la luz de L_{12} proyecta el código vertical de la Fig. 3c a la salida. Entonces la retroalimentación es almacenada y L_{12} continúa en estado encendido.

La operación restaurar (Reset) se realiza de igual forma. L_{11} proyecta un código horizontal del patrón código {10} de la Fig. 3b al prisma P. Para esta operación $Q(t + 1) = 0$, y $\bar{Q}(t + 1) = 1$, así L_{21} encenderá. El LED L_{21} permanecerá en ese estado después que {00} ha sido aplicado con ayuda del circuito D&T.

6. Circuito D&T

Para que los LEDs enciendan recibiendo luz a través de un circuito de conmutación fotoeléctrica y de retardo, proponemos el circuito mostrado en diagrama de bloques en la Fig. 4.

El circuito detecta luz del canal de procesamiento a través de un fototransistor SD3443-2, que es del tipo NPN con un rango de longitud de onda del cercano ultravioleta al infrarrojo; éste activa un multivibrador monoestable (timer 555) y a su salida encenderá el LED L_{12} o L_{21} y los mantendrá encendidos por un periodo de tiempo de 16 ms, que es el tiempo que le toma al SLM cambiar de estado.

7. Conclusiones

Presentamos el diseño de un *flip-flop* híbrido que utiliza proyección de sombras y codificación polarizada. Utilizamos una pantalla de cristal líquido como SLM y un prisma polarizador del tipo de reflexión para obtener los canales vertical y horizontal.

El *flip-flop* propuesto es eficiente en términos de velocidad, trabajaría a la velocidad de la luz, pero su única limitación es el tiempo de respuesta del SLM. El retardo electrónico que se introdujo para el plano fuente puede variar de acuerdo al tiempo de respuesta del SLM. Este retardo no afecta la eficiencia del sistema porque el tiempo de respuesta del SLM es más grande que el mínimo retardo que puede ser producido electrónicamente. En este caso, el SLM utilizado es de 60 cuadros por segundo. Pero debe tomarse en

cuenta que se pueden realizar varios *flip-flops* en paralelo, por ejemplo 1000 en 16 ms., todos operando a la misma velocidad. Si se utilizara un SLM que proporcione mayor velocidad, por ejemplo alguno cuyo material de modulador de cristal electroóptico (tiempo de respuesta de 1 picosegundo) sería mucho más rápido que su contraparte electrónica [12], y el retardo electrónico propuesto tendrá que ser reemplazado por un retardo óptico, ya que retardos más pequeños son más fácilmente producidos con óptica.

Presentamos la realización de un *flip-flop* básico RS, que puede extenderse para implementar cualquier otro tipo de *flip-flops*, solamente siguiendo el método propuesto, como por ejemplo el *flip-flop* tipo D, el tipo JK, pudiendo utilizar uno de los LEDs del plano fuente, por ejemplo el LED que siempre está apagado en el plano fuente, como pulsos de reloj.

-
1. K.H. Brenner, A. Huang, and N. Streibl, *Appl. Opt.* **25** (1986) 3054.
 2. H. Bartelt, A.W. Lohmann, and E.E. Sicre, *J. Opt. Soc. Am.* **1** (1984) 944.
 3. K.S. Huang, B.K. Jenkins, and A.A. Sawchuk, *Appl. Opt.* **28** (1989) 1263.
 4. C.H. Lee, T.H. Yoon, and S.Y. Shin, *Appl. Opt.* **25** (1986) 2244.
 5. K. Okumura, Y. Ogawa, H. Ito, and Inaba, *IEEE J. Quantum Electron.* **QE-21** (1985) 377.
 6. A.A.S. Awwal; and M.A. Karim, *Appl. Opt.* **27** (1987) 3719.
 7. J. Tanida, and Y. Ichioka, *J. Opt. Soc. Am.* **73** (1983) 800.
 8. J. Tanida, and Y. Ichioka, *J. Opt. Soc. Am.* **2** (1985) 1237.
 9. Yao Li, G. Eichmann, and R.R. Alfano, *Appl. Opt.* **25** (1986) 2636.
 10. Abdul Ahad S. Awwal and Mohammad A. Karim, *Appl. Opt.* **27** (1988) 932.
 11. R.A. Rizvi, K. Zaheer, and M.S. Zubairy, *Appl. Opt.* **30** (1991) 936.
 12. Arthur D. Fisher and John N. Lee, *Proc. SPIE* **634** (1986) 352.