

Estructura reconfigurable: comparador/multiplexor/demultiplexor

R. E. Lozoya-Ponce^a, I. Campos-Cantón^b and R.O. Lozoya-Ponce^a

^a*Instituto de Investigación en Comunicación Óptica (IICO),
Av. Karakorum 1470 Lomas 4. 78210, San Luis Potosí, SLP México.
email: re.lozoya@gmail.com; rogeliozoyaponce@gmail.com*

^b*Facultad de Ciencias, Universidad Autónoma de San Luis Potosí,
Alvaro Obregón 64, 78000, San Luis Potosí, SLP, México.
email: icampos@ciencias.uaslp.mx*

Recibido el 1 de octubre de 2012; aceptado el 27 de noviembre de 2012

La presente investigación da a conocer una estructura electrónica reconfigurable mediante la cual es posible obtener diferentes funciones lógicas, principalmente circuitos combinatoriales como comparadores, multiplexores y demultiplexores. Se realiza el análisis matemático de estos sistemas, comprobando su veracidad con resultados físicos.

Descriptores: Sistema reconfigurable; comparador; multiplexor; demultiplexor.

This research shows a reconfigurable electronic structure, which it could obtain different logic functions and many combinational logic circuits as comparators, multiplexers and demultiplexers. We perform the mathematical analysis of the systems and by physical results we check its veracity.

Keywords: Reconfigurable system; comparator; multiplexer; demultiplexer.

PACS: 07.05.Bx; 07.50.Ek; 84.30.-r; 84.30.Le; 84.30.Sk.

1. Introducción

Para llevar a cabo un mejor control sobre un determinado proceso es necesario capturar una serie de datos que generalmente tienen un carácter analógico, mientras que su tratamiento, almacenamiento y análisis son más eficaces cuando se hace digitalmente. Esto implica una serie de módulos electrónicos que permitan llevar a cabo una transformación de los datos desde el campo analógico al campo digital, a este conjunto de módulos se le denomina sistema de adquisición de datos (SAD); su estructura general está compuesta por diferentes elementos entre los cuales se encuentran comparadores, multiplexores y demultiplexores [1].

Un circuito comparador combinatorio compara dos entradas binarias para indicar la relación de igualdad o desigualdad entre ellas por medio de “tres banderas lógicas” que corresponden a las relaciones igualdad, mayor que y menor que.

En cambio un circuito multiplexor consiste de un arreglo de llaves electrónicas conectadas en paralelo con una línea de salida común. Las llaves se activan una por vez. Su diseño incluye un decodificador que activa la llave de acuerdo a la palabra binaria presente en sus entradas. Existen multiplexores analógicos y digitales; en ocasiones son utilizados para la obtención de funciones booleanas [2] e incluso en implementaciones de sistemas basados en organismos biológicos [3], por lo que es una herramienta ideal para el desarrollo de aplicaciones en el área biomédica [4].

Por otro lado el circuito demultiplexor es un sistema que complementa al multiplexor, conecta la información de una línea de entrada hacia una de varias líneas de salida de acuerdo a un código de selección. La idea fundamental de utilizar

multiplexores y demultiplexores radica en el ahorro de líneas de comunicación, es decir, el uso de una sola línea para realizar múltiples funciones o para conectar a través de ella diversas fuentes de información.

Sin embargo, la estructura que conforma la mayoría de los SAD, comparadores, multiplexores y demultiplexores está basada en una estructura estática, siendo así que la mayoría de los circuitos que se usan hoy en día son de aplicación específica, ya que generalmente la función que desempeñan es única e irreconfigurable, lo cual limita su funcionamiento. Tratando de superar esta limitante, en años recientes ha surgido la propuesta de desarrollar circuitos con una arquitectura dinámica; se denomina así porque un mismo sistema es usado para obtener diferentes operaciones aritméticas como la suma y la resta, este cambio en su comportamiento se obtiene a través de la sintonización de sus parámetros de control; en algunos casos el uso de mapeos caóticos resulta ser el núcleo de estos sistemas reconfigurables [5,6].

En este mismo tenor surge el uso de funciones lineales a trozos para el diseño de sistemas con arquitectura dinámica [7-9]; la ventaja que ofrece este tipo de esquema sobre los basados en caós, es que no son sensibles a condiciones iniciales y esto permite la ejecución de operaciones aritméticas por la fácil sintonización de los parámetros. Como resultado en aplicaciones prácticas, es posible construir un sistema con arquitectura reconfigurable, robusto y flexible en diseño; el uso de sistemas lineales es menos complicado en cuanto a su implementación a nivel experimental.

Aunados a esta filosofía de reconfiguración el presente trabajo muestra la teoría y el diseño de un sistema con arquitectura dinámica que realiza las funciones de un comparador, un multiplexor y un demultiplexor; la propuesta con-

siste en interconectar bloques que trabajan bajo una técnica de reconfiguración basados en funciones lineales por partes y así obtener los circuitos combinatoriales antes mencionados. A continuación se describe brevemente la estructura del trabajo.

En la Sec. 2 se formula el marco teórico de los circuitos reconfigurables, posteriormente en la Sec. 3 se muestra el diseño de un comparador, un demultiplexor y un multiplexor. Así como los resultados experimentales de cada uno, los cuales están acorde a la teoría y se finaliza con las conclusiones en la Sec. 4.

2. Teoría

Considere un sistema dado por el conjunto de ecuaciones F , G y H siguientes.

$$F(x_0, x_1, x_2, z_0, z_1, z_2) = a_0x_0 + a_1x_1 + a_2x_2 + a_3z_0 + a_4z_1 + a_5z_2. \quad (1)$$

donde $a_n \in R$; $a_0, a_1, a_2 > 0$ y $a_3, a_4, a_5 < 0$. Los valores de x 's y z 's corresponden a las entradas del sistema las cuales son binarias y conforman el vector X de entradas.

$$G(y) = \begin{cases} S, & \text{si } y \in (m_{jinf}, m_{jsup}); \\ 0, & \text{de otra forma.} \end{cases} \quad (2)$$

Con $y, m_{inf}, m_{sup} \in R$ y $S \in R^+$ representa una señal arbitraria que puede ser analógica o digital, y definamos H como:

$$H(w_0, w_1, w_2, w_3) = w_0 + w_1 + w_2 + w_3. \quad (3)$$

donde $w_0, w_1, w_2, w_3 \in R$, son señales de entrada.

Con estas tres funciones se plantea el diagrama a bloques que se muestra en la Fig. 1 para el desarrollo de las funciones lógicas compuestas. De forma general se tendrá la siguiente composición de funciones GoF ó $HoGoF$, Fig. 1.

Por ejemplo se propone GoF como una combinación de las funciones (1) y (2) de tal manera que:

$$G(F(x)) = \begin{cases} S, & \text{si } F(x) \in (m_{jinf}, m_{jsup}); \\ 0, & \text{de otra forma.} \end{cases} \quad (4)$$

Observe que (4) corresponde a un sistema MISO (Multiple Input - Single Output), donde las entradas para GoF son valores binarios y la salida será la señal S , dicha señal puede ser de carácter análogo o digital.

El proceso de evaluación para (4) se describe por el siguiente algoritmo:

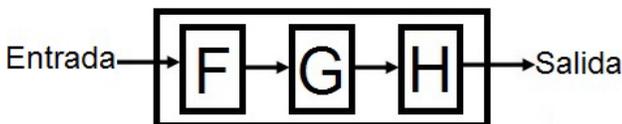


FIGURA 1. Diagrama a bloques de la estructura propuesta.

- Defina los valores a_0, a_1, \dots, a_5 en la Ec. (1) y evalúe F para todas las combinaciones binarias de entrada posibles.
- Defina un umbral de operación mediante los valores m_{sup} y m_{inf} en (2).
- Con $F(x)$ obtenido del primer paso evalúe en (4), donde si $F(x)$ está dentro de la región acotada por m_{sup} y m_{inf} se tendrá que $G(F(x)) = S$ (para señales binarias nivel alto), y si se localiza fuera de la región acotada $G(F(x)) = 0$ (para señales binarias nivel bajo).

La Fig. 2a) representa posibles niveles de voltaje de $F(x)$ y las cotas m_{inf} y m_{sup} de G . Y en la Fig. 2b) se muestra la salida de GoF para la combinación de estados de entrada, considerando $S = 1$.

Para la segunda composición $HoGoF$, basta con analizar HoG ya que GoF se describió en el caso anterior, definamos $G_T = [G_0, G_1, G_2, G_3]$, para formar un sistema MIMO (Multiple Input - Multiple Output), con ello podemos definir un sistema reconfigurable como la composición de (3) y (4).

$$HoG_T = H(G_0, G_1, G_2, G_3) = G_0 + G_1 + G_2 + G_3. \quad (5)$$

Al igual que en el caso anterior, en la Fig. 3 se representan las funciones de entrada y de salida de la Ec. (5).

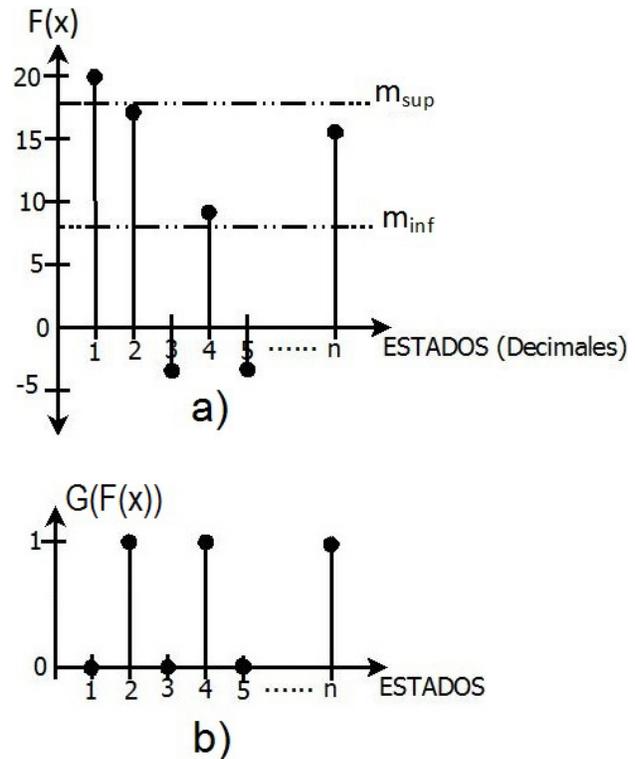


FIGURA 2. a) Niveles de voltaje para las diferentes combinaciones de la ecuación (1); b) Representación gráfica de la ecuación (4) por estados.

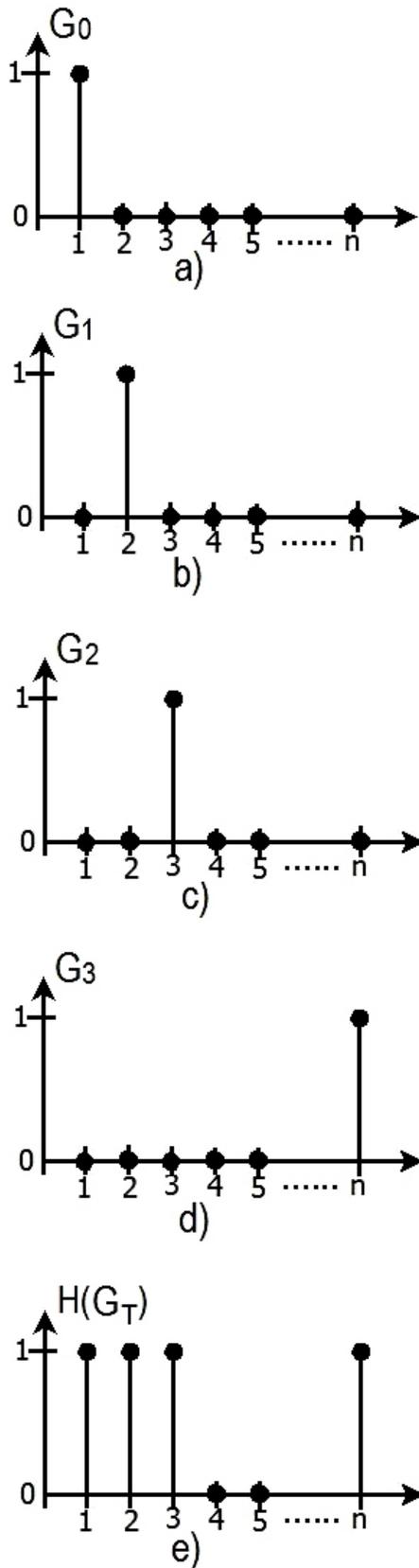


FIGURA 3. a) Función G_0 ; b) Función G_1 ; c) Función G_2 ; d) Función G_3 ; e) Representación gráfica de la ecuación (5).

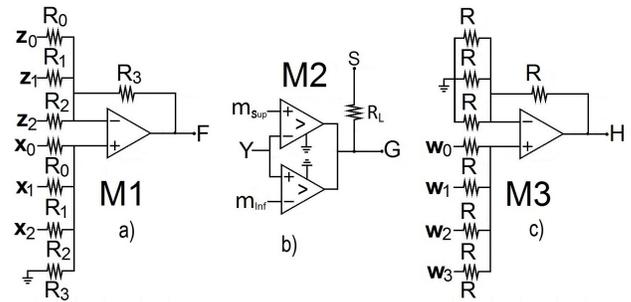


FIGURA 4. a) Bloque M_1 , modelo para Ec. (1); b) Bloque M_2 , modelo para Ec. (2); c) Bloque M_3 , modelo para Ec. (3).

Desde un punto de vista experimental, es posible instrumentar las Ecs. (1), (2) y (3) a través de arreglos con amplificadores operacionales como se ilustra en la Fig. 4, cada diagrama eléctrico es un bloque de la estructura propuesta. Los valores de las ganancias de a_0, \dots, a_5 de (1) son asignados en M_1 como se observa en (6); para el caso de M_3 que corresponde a (3), se desea una ganancia unitaria, por lo que las resistencias en el diagrama eléctrico se colocan todas del mismo valor R y su ecuación es la que se describe en (7). Finalmente el bloque M_2 corresponde a (2).

$$F = \frac{R_3}{R_0}x_0 + \frac{R_3}{R_1}x_1 + \frac{R_3}{R_2}x_2 - \frac{R_3}{R_0}z_0 - \frac{R_3}{R_1}z_1 - \frac{R_3}{R_2}z_2$$

$$\text{con } a_0 = \frac{R_3}{R_0}, a_1 = \frac{R_3}{R_1}, a_2 = \frac{R_3}{R_2},$$

$$a_3 = -\frac{R_3}{R_0}, a_4 = -\frac{R_3}{R_1}, a_5 = -\frac{R_3}{R_2}. \quad (6)$$

$$H = w_0 + w_1 + w_2 + w_3. \quad (7)$$

Así $HoGoF$ corresponde al cableado entre los bloques M_1, M_2 y M_3 , en la Fig. 5 se representa este sistema. Su modo de reconfiguración esta directamente ligado a los parámetros a 's y m 's.

Para la construcción de GoF basta con sólo alambrear M_1 y un solo bloque M_2 de la Fig. 5; por su parte la función G_{ToF} solo se elimina M_3 de la Fig. 5. Observe que mediante la reconexión de estos bloques entre si, es posible modelar distintas funciones.

El circuito de la Fig. 5 es un circuito reconfigurable en dos sentidos. Uno es activando o desactivando los bloques M_2 y M_3 y la otra forma de reconfiguración es a través de sintonizar los parámetros a 's y m 's de las Ecs. (1) y (2).

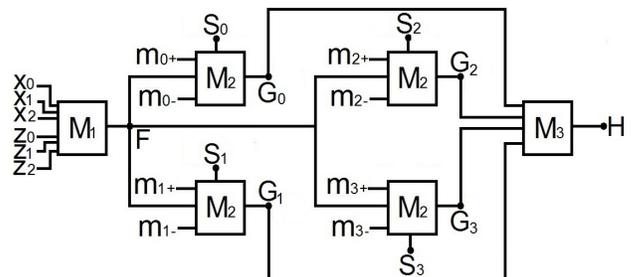


FIGURA 5. Diagrama a bloques para $HoGoF$.

3. Resultados experimentales

Aprovechando las propiedades de reconfiguración del sistema (Fig. 5), se propone su uso para emular el comportamiento de un circuito comparador de números, un demultiplexor, y un multiplexor.

El diseño se implementó sobre una tarjeta de circuito impreso (PCB). Para el circuito experimental se utilizó el amplificador operacional LM124 (M_1 y M_3), el comparador LM311 (M_2), resistencias, fuentes de poder de ± 15 V, 3 A modelo PS280 de la compañía Tektronix, para la adquisición de las señales un osciloscopio TDS2014 de la compañía Tektronix, finalmente para generar las secuencias de entrada y comprobar su funcionamiento se emplea un microcontrolador PIC16F877A de la compañía Microchip, el cual maneja señales de salida de 2.3 V, en base a este nivel de voltaje se han propuesto los valores para las resistencias, cuales se muestran en la Tabla I, estos valores hacen que las entradas del bloque M_1 presenten la relación mostrada en Tabla II.

TABLA I. Valores usados en las resistencias.

	<i>Mux/Demux/Comp</i>
R_0	23 k Ω
R_1	11.5 k Ω
R_2	5.7 k Ω
R_3	10 k Ω
R_L	500 Ω
R	10 k Ω

TABLA II. Voltajes en M_1 .

a_0x_0	a_1x_1	a_2x_2	a_3z_0	a_4z_1	a_5z_2
1 V	2 V	4 V	1 V	2 V	4 V

3.1. Comparador

La Fig. 6 representa el esquema para un comparador de 2 números de 2 bits cada uno, la tabla de verdad que describe su comportamiento se muestra en la Tabla III.

Para este modelo se utilizó el sistema mostrado en la Fig. 7, el cual corresponde a la estructura GoF , observe que en comparación con el sistema propuesto en la Fig. 5 este descarta el uso de dos entradas, lo que implica de manera experimental que serán conectadas a 0 V como se observa en su diagrama a bloques, en el sistema sólo se consideran los elementos mostrados en la Fig. 7, observe que tiene tres salidas constituidas por 3 bloques M_2 , los parámetros de configuración para estos bloques se presentan en la Tabla IV.

TABLA III. Tabla de verdad de un comparador de 2 números de 2 bits.

Entradas				Salidas		
x_1	x_0	z_1	z_0	$G_0 \rightarrow x > z$	$G_1 \rightarrow x = z$	$G_2 \rightarrow x < z$
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

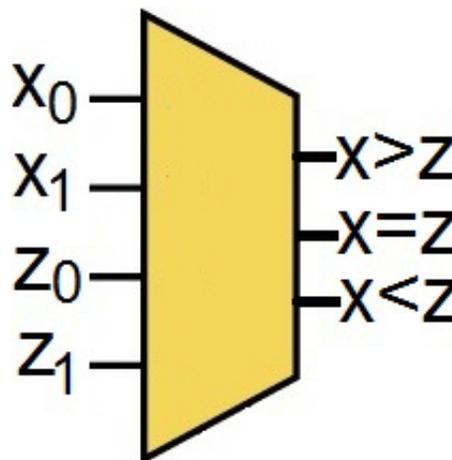


FIGURA 6. Esquema de entradas y salidas presentes en un comparador de 2 números de 2 bits.

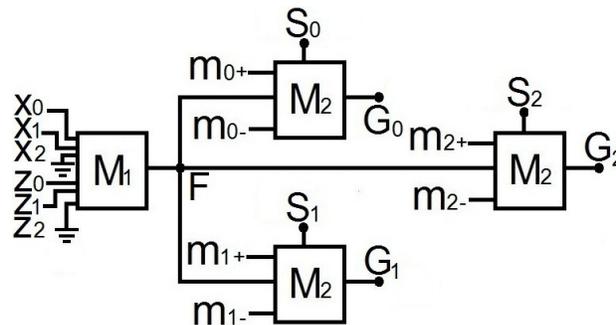


FIGURA 7. Diagrama a bloques para un comparador de 2 números de 2 bits.

TABLA IV. Voltajes para los distintos bloques M_2 del comparador.

x_0	x_1	x_2	z_0	z_1	z_2	m_{0+}	m_{0-}	m_{1+}	m_{1-}	m_{2+}	m_{2-}
2.3 V	2.3 V	0 V	2.3 V	2.3 V	0 V	5 V	0.5 V	0.5 V	-0.5 V	-0.5 V	-5 V

En la Fig. 12 se presentan los resultados obtenidos para este modelo; en a) las señales de entrada x_1 , x_0 , z_1 y z_0 son mostradas en los canales CH1:(amarillo), CH2:(azul), CH3:(morado) y CH4:(verde) respectivamente; b) corresponde a la variación de voltaje producida por la combinación de las entradas (salida de M_1), observe que las cuatro entradas producen un total de 16 combinaciones que van desde $x = (0, 0)$, $z = (0, 0)$ hasta $x = (1, 1)$, $z(1, 1)$; en c), d) y e) aparecen cuatro señales en cada imagen, en las 3 figuras se representa en el canal 1 la salida de M_1 ; los canales 2 y 3 corresponden a los parámetros m_+ y m_- de cada bloque M_2 ; por su parte en el canal 4 es la salida, es decir en c) el caso cuando $X > Z$, d) cuando $X = Z$ y e) cuando $X < Z$. Los valores de S_i se han fijado en 5 V, por lo que la salida del sistema trabaja en estado binario, 5 V equivale a un 1 lógico y 0 V a 0 lógico.

3.2. Demultiplexor

En la Fig. 8 se observa el bloque esquemático de un demultiplexor de 1 señal de entrada, 4 de salida y 3 líneas que sirven como llave de selección; en la Tabla V se muestra su tabla de verdad, la cual describe su comportamiento.

En este caso se utiliza el sistema representado por la Fig. 5, pero con la diferencia que el último bloque M_3 se desconecta, de tal forma que el sistema se reduce como se muestra en la Fig. 9, note que las entradas z_1 y z_2 están conectadas a 0 V ya que no se consideran en este caso; las salidas $G_0 \dots G_3$ están directamente ligadas a los valores S_i que para este caso serán de 5 V, en este diseño se utiliza la entrada

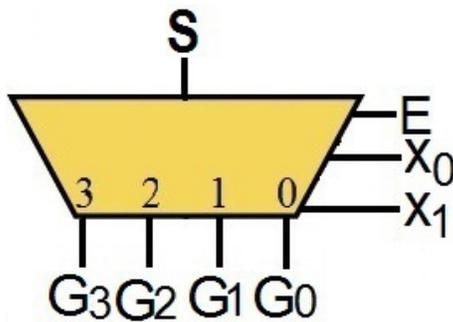


FIGURA 8. Esquema de entradas y salidas presentes en un demultiplexor 1×4 .

TABLA V. Tabla de verdad del demultiplexor 1×4 .

Señal de entrada	Llave de selección			Salidas				
	S	$E(x_2)$	x_1	x_0	G_0	G_1	G_2	G_3
1	0	X	X	0	0	0	0	0
1	1	0	0	1	0	0	0	0
1	1	0	1	0	1	0	0	0
1	1	1	0	0	0	1	0	0
1	1	1	1	0	0	0	0	1

z_0 como un nivel de offset que siempre esta presente y que toma un valor de 3.5 V; siendo así que los parámetros de configuración se muestran en la Tabla VI.

Los resultados de esta configuración se muestran en la Fig. 13, en a) se observan cuatro señales donde los canales 1, 2, y 3 corresponden a las señales de la llave de selección x_0 , x_1 y $E(x_2)$, por su parte en el canal cuatro se presenta la salida de M_1 la cual varía según las posibles combinaciones que van desde $E = 0$, $x_1 = 0$, $x_0 = 0$ hasta $E = 1$, $x_1 = 1$, $x_0 = 1$. En b), c), d) y e) se pueden observar 4 señales en cada imagen; en cada una el canal 1 es la respuesta del bloque M_1 , los canales 2 y 3 son los parámetros m_+ y m_- de cada bloque M_2 ; el canal 4 es la salida de cada uno de los bloques M_2 donde para b) corresponde a G_0 , c) a G_1 , d) a G_2 y e) a G_3 . Note como ninguna salida opera cuando la señal E se mantiene en un nivel de 0 lógico.

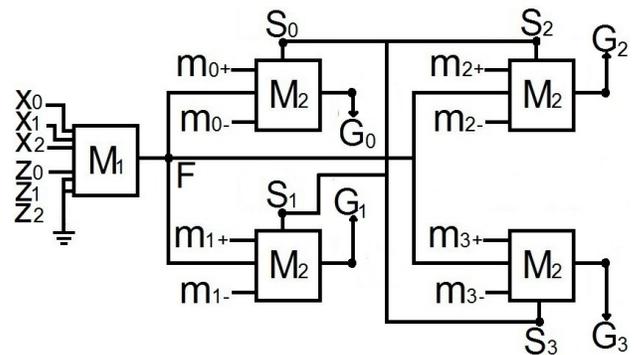


FIGURA 9. Diagrama a bloques para un demultiplexor 1×4 .

TABLA VI. Voltajes para los distintos bloques M_2 del demultiplexor.

x_0	x_1	x_2	z_0	z_1	z_2	m_{0+}	m_{0-}	m_{1+}	m_{1-}	m_{2+}	m_{2-}	m_{3+}	m_{3-}
2.3V	2.3V	2.3V	8V	0V	0V	1V	0V	2V	1V	3V	2V	4V	3V

3.3. Multiplexor

En la Fig. 10 se observa el bloque esquemático de un multiplexor convencional de 4 señales de entrada, 1 salida y 2 líneas que funcionan como llave de selección, la función que describe su comportamiento se muestra en (8), la Tabla VII corresponde a su tabla de verdad.

$$G = (S_1\bar{x}_0\bar{x}_1) + (S_2x_0\bar{x}_1) + (S_3\bar{x}_0x_1) + (S_4x_0x_1). \quad (8)$$

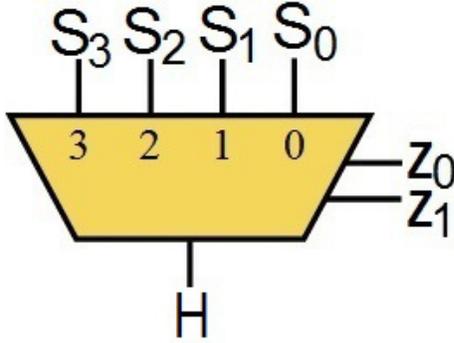


FIGURA 10. Bloque esquemático que muestra las entradas, salidas y entradas de control en un multiplexor 4 × 1.

TABLA VII. Tabla de verdad del multiplexor 4 × 1.

Llave de selección		
z_1	z_0	H
0	0	S_1
0	1	S_2
1	0	S_3
1	1	S_4

Para realizar el multiplexor se consideró el circuito propuesto por la función compuesta $HoGoF$ en la Fig. 5, dejando activas solo las entradas z_0 y z_1 para el control de la llave de selección, mientras que x_0 como un nivel de offset de 3.5 V; las demás entradas se mantienen inactivas (0 V) como se muestra en la Fig. 11.

Observe que el sistema presenta una reconfiguración doble, ya que se puede tomar como primer reconfiguración el alambrado entre bloques, mientras que su segunda reconfiguración se lleva a cabo mediante la sintonización paramétrica, en la Tabla VIII se presentan dichos parámetros.

Los resultados de esta configuración se presentan en la Fig. 14; en a) aparecen las señales de selección z_0 y z_1 , las

TABLA VIII. Voltajes para los distintos bloques M_2 del multiplexor.

x_0	x_1	x_2	z_0	z_1	z_2	m_{0+}	m_{0-}	m_{1+}	m_{1-}	m_{2+}	m_{2-}	m_{3+}	m_{3-}
8 V	0 V	0 V	2.3 V	2.3 V	0 V	4 V	3 V	3 V	2 V	2 V	1 V	1 V	0 V

cuales generan 4 posibles combinaciones que van desde $z_0=0$ y $z_1=0$ hasta $z_0=1$ y $z_1=1$, mientras que en el canal 3 se representa la salida del bloque M_1 . En b) se presentan las señales (S_i) que pasan a través del multiplexor, siendo S_0 una señal de tipo triangular, S_1 un tren de pulsos, S_2 una señal tipo senoidal y S_3 una constante de 5 V. Observe que esto implica directamente que el sistema es capaz de trabajar con señales digitales y continuas. Por su parte en c), d), e) y f) se aprecian cuatro señales en cada imagen, donde el canal 1 es la salida del bloque M_1 , los canales 2 y 3 corresponden a los parámetros m_+ y m_- de cada bloque M_2 , en la parte posterior de cada imagen aparece el canal 4 el cual representa la salida de cada bloque M_2 , observe que de esta forma se asigna una señal S_i a cada una de las combinaciones dadas por la llave de paso; finalmente en g) se muestran dos señales donde el canal 1 representa la salida del bloque M_1 y el canal 2 la respuesta total del sistema a las 4 posibles combinaciones, salida del bloque M_3 .

4. Conclusiones

Se desarrolló de forma algebraica e implemento de forma experimental un sistema lógico reconfigurable, con el uso de amplificadores operacionales y resistencias; su diseño esta basado en el uso de funciones lineales a trozos, ello permite que el sistema sea robusto a condiciones iniciales, además

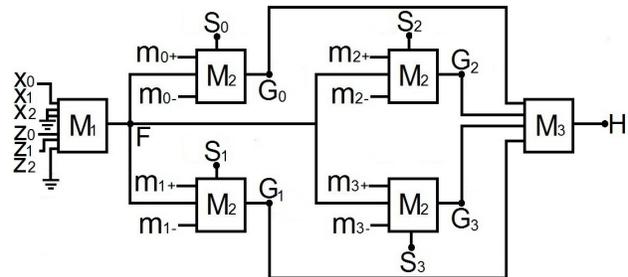


FIGURA 11. Diagrama a bloques para el multiplexor 4 × 1.

de garantizar una escalabilidad tanto en el número de entradas y salidas del mismo (sistema MIMO). Esta estructura da pie a que el sistema sea capaz de operar como diferentes circuitos lógicos, como lo son sumadores, restadores, codificadores y decodificadores.

Cabe hacer mención que la estructura presentada es configurable a través de dos vías, una mediante la reconexión de los bloques presentados y la otra mediante la sintonización de los parámetros a_i , m_+ y m_- . La libertad de asignar estos parámetros se ve reflejada directamente en la posibilidad de obtener funciones específicas, es decir existe la posibilidad de generar una función arbitraria en base a sus maxiterminos, por ejemplo considere que pretende usar la estructura de la Fig. 11 como una celda lógica, usted podría asignar que combinaciones de entrada generen una respuesta en alto con

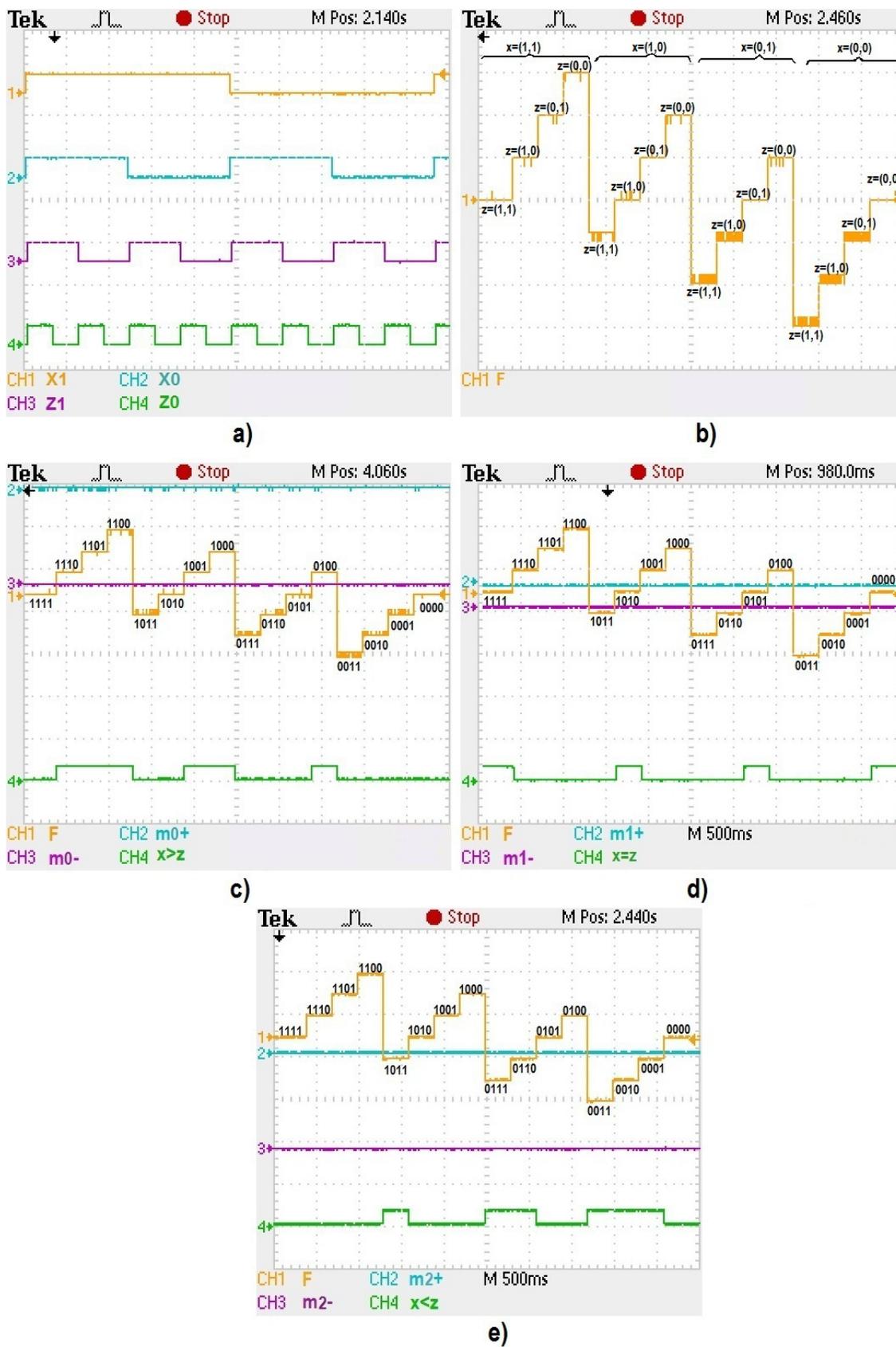


FIGURA 12. Comparador.- a) Señales de entrada x_0, x_1, z_0, z_1 b) Señal de salida del bloque M_1 , c) Función de salida $G_0 (x > z)$, d) Función de salida $G_1 (x = z)$, e) Función de salida $G_2 (x < z)$.

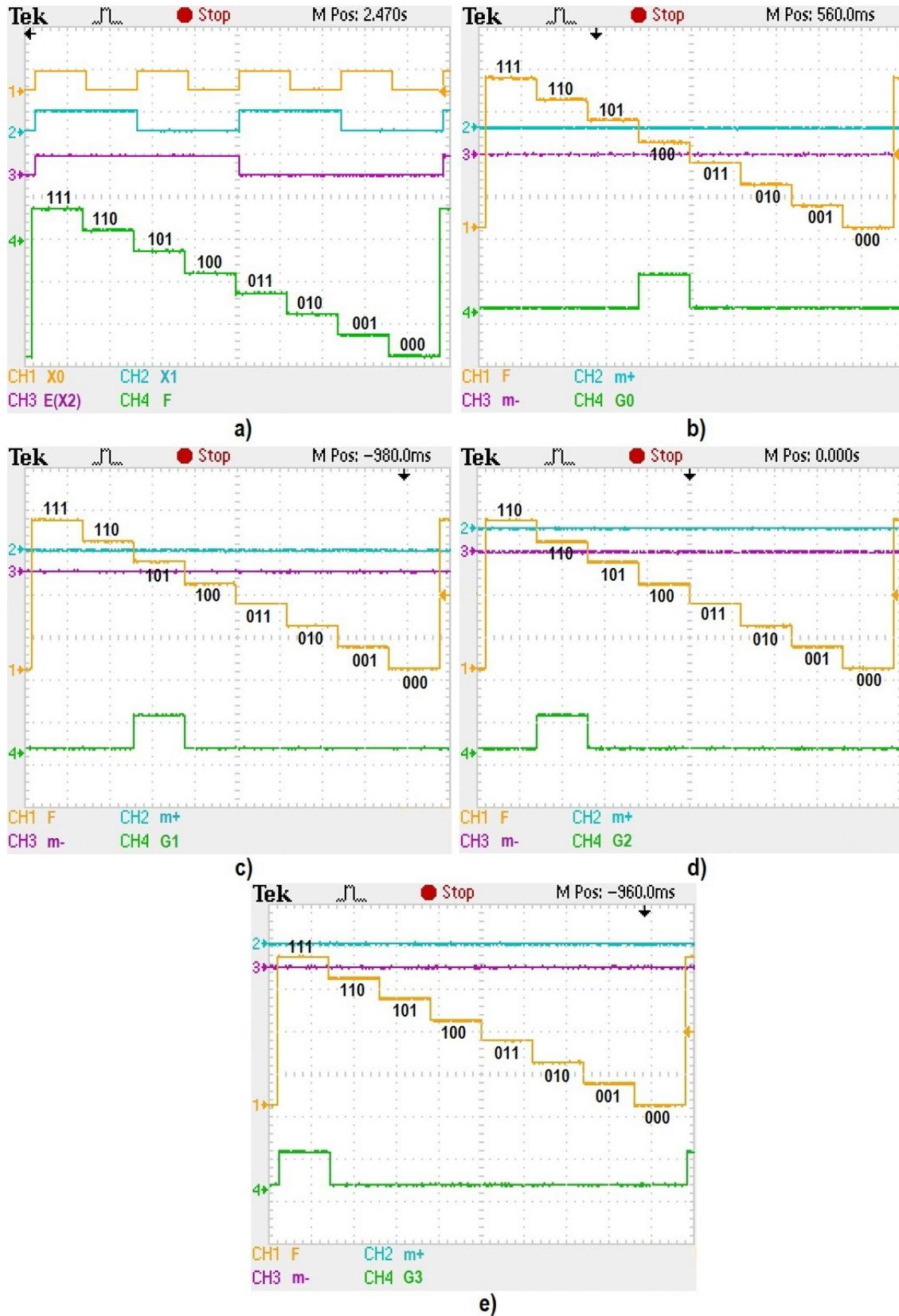


FIGURA 13. Demultiplexor.- a) Señales de entrada x_0, x_1, x_2, z_0 y función F , b) Función de salida G_0 , c) Función de salida G_1 , d) Función de salida G_2 , e) Función de salida G_3 .

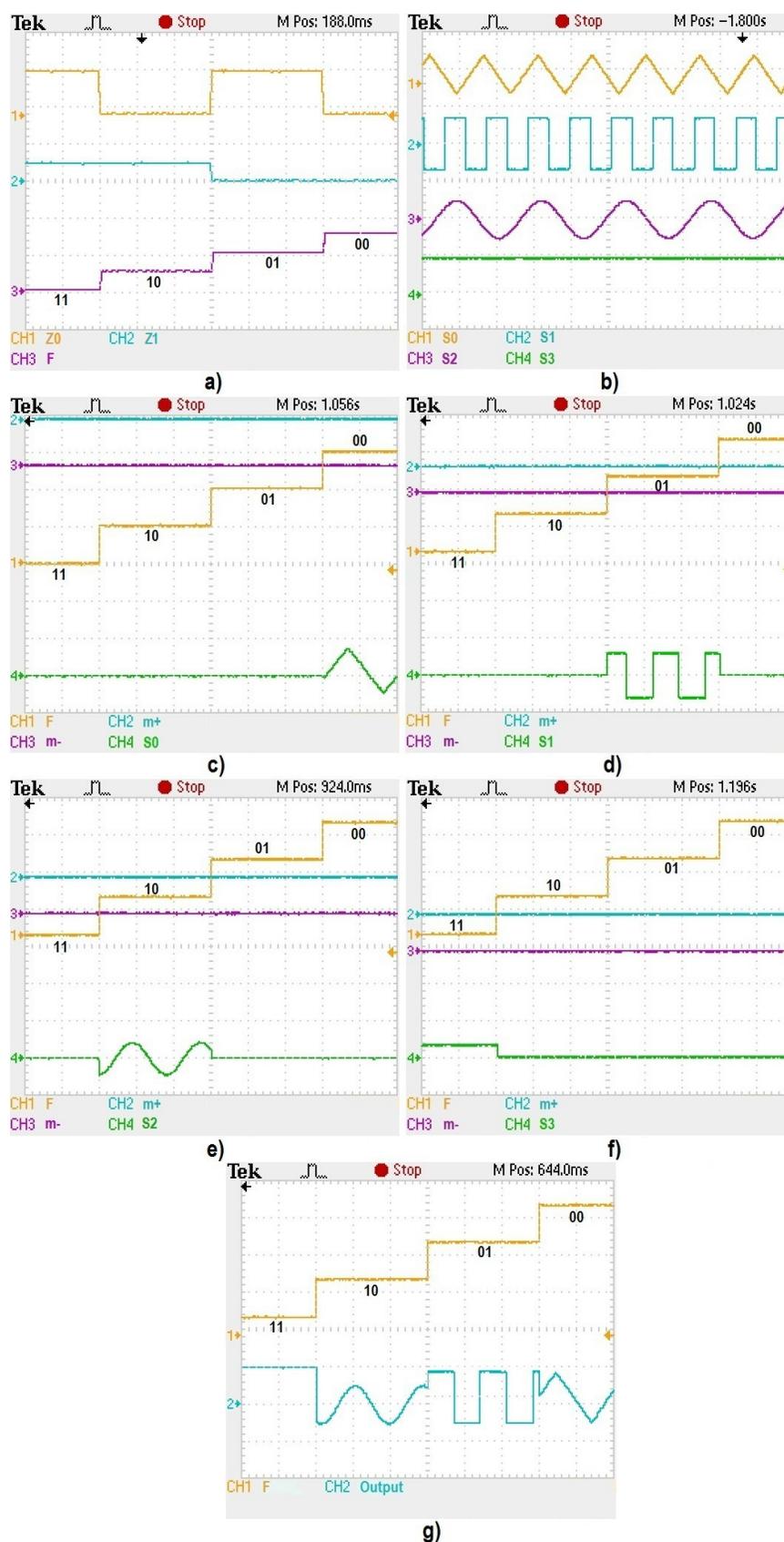


FIGURA 14. Multiplexor 4×1 .- a) Señales de selección z_0 , z_1 y función F , b) Señales de entrada S_i , c) Multiplexado de S_0 , d) Multiplexado de S_1 , e) Multiplexado de S_2 , f) Multiplexado de S_3 , g) Salida general del multiplexor.

sólo configurar los parámetros de m_+ y m_- , posteriormente se suman las salidas de los bloques M_2 en el bloque M_3 , esto equivale a seleccionar los maxiterminos de una función, e incluso podría obtener distintas compuertas lógicas por cada bloque M_2 , de esta forma la misma estructura permite comprender múltiples circuitos de aplicación específica (ASIC) ello permite incrementar considerablemente el número de posibles aplicaciones en el diseño de circuitos lógicos combinatoriales; por el momento los resultados presentados se obtuvieron con el uso de componentes electrónicas comerciales, ya que el objetivo de esta investigación radica en sentar las bases de diseño de funciones lógicas a través de una nueva técnica la cual mantiene un núcleo reconfigurable analógico; si bien no se pretende suplir los diferentes esquemas usados hoy en día, si realizar una aportación en el área de la electrónica al tener un complemento que sea reconfigurable por dos vías (reconexión y sintonización paramétrica) como se demostró en este trabajo. Ejemplos de circuitos que basan su configuración a través de la reconexión son DSP's, FPGA's y PLD's; utilizando la propuesta de este trabajo es posible incrementar la reconfiguración de estos vía hardware, ya que por ahora es vía software.

En general el sistema se describe como una unidad de configuración analógica la cual pretende desempeñar ciertas funciones propias de un SAD, pero manteniendo en su núcleo la posibilidad de reconfigurar su comportamiento. Las componentes usadas en este trabajo son de valores comerciales

debido a que cumplen con los parámetros obtenidos en la sección algebraica, sin embargo es posible extrapolar el mismo diseño usando distintas componentes.

El trabajo de investigación desarrollado hasta ahora consiste en la construcción de múltiples funciones combinatoriales haciendo uso de los bloques reconfigurables presentados en la Sec. 2; para la obtención de los parámetros, el criterio utilizado consiste básicamente en la compensación de los valores a_i junto con m_+ y m_- , de tal forma que los potenciales de entrada empleados se encuentren dentro de las limitantes de ± 12 V, ya que estos son los voltajes de alimentación de los circuitos operacionales, observe también que dichos parámetros pueden ser modificados aumentando el valor el voltaje de las entradas o variando los valores de las resistencias.

El trabajo a futuro de esta investigación se enfoca a obtener el circuito equivalente de cada bloque mediante el uso de transistores; de esta forma se diseñará un circuito a nivel semiconductor pero con una estructura dinámica, además de obtener un circuito reconfigurable de menor tamaño.

Agradecimientos

Los autores (1, 3) le agradecen al CONACyT el apoyo otorgado a través de las becas para Estudios de Doctorado #269044 y #299383.

-
1. Y. Fan and A. O. Verviv, *Signal Processing, Communications and Computing (ICSPCC)* (IEEE International Conference on, 2011) p. 1.
 2. K. R. Lan, S.H. Gopisetty, and R. Dharmarajan, *Custom Integrated Circuits Conference* (Proceedings of the IEEE, 1993) p. 3.
 3. G. Tempesti, D. Mange, and A. Stauffer, *Journal of Systems Architecture* **43** (1997) 719.
 4. R. H. Olsson, D. L. Buhl, A. M. Sirota, G. Buzsaki, and K. D. Wise, *Biomedical Engineering, IEEE Transactions on* **52** (2005) 1303.
 5. S. Sinha and W. L. Ditto, *Phys. Rev. Lett.* **81** (1998) 0.
 6. K. Murali, S. Sinha, and W. L. Ditto, *Pramana* **64** (2005) 433.
 7. H. Peng, Y. Yang, L. Li, and H. Luo, *Chaos* **18** (2008) 033101.
 8. H. Peng, G. Hu, L. Li, Y. Yang, and J. Xiao, *Mathematical Problems in Engineering* **2011** (2011) 1.
 9. I. Campos-Cantón, *Revista Mexicana de Física* **57** (2011) 106.