

Celda lógica en un sistema bidimensional

I. Campos-Cantón^a, R. E. Lozoya-Ponce^b, and R.O. Lozoya-Ponce^b

^aFacultad de Ciencias, Universidad Autónoma de San Luis Potosí,
Alvaro Obregón 64, 78000, San Luis Potosí, SLP, México,
e-mail: icampos@fciencias.uaslp.mx

^bInstituto de Investigación en Comunicación Óptica (IICO),
Av. Karakorum 1470 Lomas 4^a 78210, San Luis Potosí, SLP México,
e-mail: rogeliolozoyaponce@gmail.com

Received 7 December 2012; accepted 21 March 2013

Este artículo trata de la instrumentación de una celda lógica binaria basada en el espacio de estados en un sistema bidimensional el cual tiene valores propios distintos. El circuito eléctrico propuesto esta constituido por resistencias, capacitores y comparadores. Esta celda es capaz de generar la función lógica OR y AND.

Descriptores: Retrato de fase; electrónica analógica; ecuaciones diferenciales ordinarias; compuertas lógicas.

This paper is about the implementation of binary logic cells, based on the idea of using state space in a two-dimensional linear system with different real eigenvalues. The proposed circuit is made up of resistors, capacitors and comparators. This cell is capable of generating the logic functions OR and AND.

Keywords: Phase portrait; analog electronic; differential equations; logic gates.

PACS: 02.10.Yn; 02.30.Hq; 02.10.Ab; 84.30.Sk; 84.30.Le

1. Introducción

Basados en el paradigma de generar dispositivos flexibles que sean capaces de cambiar su respuesta de acuerdo a sus parámetros de control y por la reconfiguración de los mecanismos involucrados [1, 2], se plantea la creación de una arquitectura dinámica reconfigurable de forma experimental [3], siguiendo la directriz teórica presentada en [4]. Así la idea propuesta en [4] es el desarrollo de funciones lógicas básicas, en dicho trabajo se utiliza un sistema lineal en dos dimensiones en el espacio de estados, al cual se le asocian dos entradas binarias, con ello se generan cuatro posibles soluciones en el sistema bidimensional. Estas soluciones abren la posibilidad de implementar alguna función binaria determinada, en este caso las funciones lógicas AND y OR; note que el cambio entre funciones lógicas se realiza modificando la función que envuelve los nodos en el plano fase.

En el presente trabajo se lleva a cabo la implementación de un circuito eléctrico donde sus componentes son únicamente resistencias, capacitores y un par de comparadores, esto permite modelar las Ecs. (1) y (7) de [4], y con ello lograr de forma experimental el diseño de la celda lógica básica (funciones AND y OR) en un sistema lineal con espacio de estados bidimensional; dando la posibilidad de emplear este circuito en la generación de las 16 combinaciones lógicas para un sistema con dos entradas binarias. El trabajo se ha desarrollado como sigue: En la Sec. 2 se lleva a cabo el análisis del circuito propuesto (celda lógica), a través de las leyes de Kirchoff y se da su solución. En la Sec. 3 se desarrollan las celdas lógicas básicas AND y OR, los resultados

experimentales se muestran en la Sec. 4, finalizando con las conclusiones en la Sec. 5.

2. Celda lógica

Para el desarrollo de este trabajo consideramos el sistema dinámico no lineal [4].

$$\dot{X} = AX + BU. \quad (1)$$

$$Y(X) = \begin{cases} 1, & \text{si } |X - D| < K; \\ 0, & \text{de otra forma.} \end{cases} \quad (2)$$

La Fig. 1 muestra el diagrama a bloques de la celda lógica, formada por las Ecs. 1 y 2. El circuito eléctrico propuesto para (1) esta constituido por 4 resistencias, dos capacitores y dos terminales de entrada (U_1 y U_2 , debido a que U es de 2×1) como se muestra en la Fig. 2.

El análisis del circuito se realiza utilizando las ley de Kirchoff; y para el nodo \mathbf{M} se tiene:

$$i_1 + i_2 + i_3 = 0. \quad (3)$$

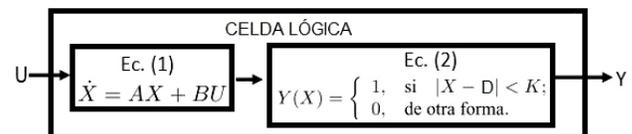


FIGURA 1. Diagrama a bloques de la celda lógica.

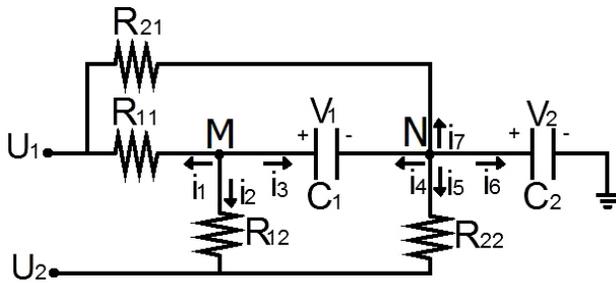


FIGURA 2. Circuito eléctrico propuesto por la Ec. 1.

de donde:

$$i_1 = \frac{V_M - U_1}{R_{11}}, \quad i_2 = \frac{V_M - U_2}{R_{12}}$$

$$\text{e } i_3 = C_1 \frac{d(V_M - V_N)}{dt}$$

Note que $V_M = V_1 + V_2$ y $V_N = V_2$, al sustituir estas relaciones en (3) se llega a:

$$C_1 \frac{dV_1}{dt} = - \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} \right) V_1 - \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} \right) V_2 + \frac{1}{R_{11}} U_1 + \frac{1}{R_{12}} U_2. \quad (4)$$

Para el nodo N se tiene:

$$i_4 + i_5 + i_6 + i_7 = 0. \quad (5)$$

donde:

$$i_4 = C_1 \frac{d(V_N - V_M)}{dt}, \quad i_5 = \frac{V_N - U_2}{R_{22}},$$

$$i_6 = C_2 \frac{dV_N}{dt} \quad \text{e} \quad i_7 = \frac{V_N - U_1}{R_{21}},$$

se sustituyen en (5) y utilizando (4) se obtiene:

$$C_2 \frac{dV_2}{dt} = - \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} \right) V_1 - \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} + \frac{1}{R_{21}} + \frac{1}{R_{22}} \right) V_2 + \left(\frac{1}{R_{11}} + \frac{1}{R_{21}} \right) U_1 + \left(\frac{1}{R_{12}} + \frac{1}{R_{22}} \right) U_2. \quad (6)$$

Así (4) y (6) conforman (1). Por lo tanto los vectores y las matrices quedan definidos como sigue:

$$X = \begin{bmatrix} V_1 \\ V_2 \end{bmatrix}; \quad A = \begin{bmatrix} -\frac{1}{C_1} \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} \right) & -\frac{1}{C_1} \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} \right) \\ -\frac{1}{C_2} \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} \right) & -\frac{1}{C_2} \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} + \frac{1}{R_{21}} + \frac{1}{R_{22}} \right) \end{bmatrix}$$

$$B = \begin{bmatrix} \frac{1}{C_1} \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} \right) & \frac{1}{C_1} \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} \right) \\ \frac{1}{C_2} \left(\frac{1}{R_{11}} + \frac{1}{R_{21}} \right) & \frac{1}{C_2} \left(\frac{1}{R_{12}} + \frac{1}{R_{22}} \right) \end{bmatrix} \quad U = \begin{bmatrix} U_1 \\ U_2 \end{bmatrix}. \quad (7)$$

Ahora para el segundo bloque de la Fig. 1 que corresponde a la Ec. (2) se utiliza el circuito ventana [5], el cual se muestra en la Fig. 3, este circuito esta constituido por dos comparadores LM311 y una resistencia.

El circuito comparador LM311 funciona como se describe a continuación: si el potencial en la terminal de entrada no inversora es mayor que en la terminal de entrada inversora, la terminal de salida se coloca en alta impedancia, con lo cual no fluye corriente por esta terminal. Y si el potencial en la terminal de entrada no inversora es menor que en la terminal inversora, la terminal de salida se conecta con la terminal aterrizada y el potencial en la salida toma el valor de 0V. El arreglo que se muestra en la Fig. 3 se modela mediante el siguiente conjunto de ecuaciones:

Para el comparador de la parte superior:

$$V_{Out} = \begin{cases} 1, & \text{si } V_{in} < +K; \\ 0, & \text{de otra forma.} \end{cases} \quad (8)$$

Y para el comparador de la parte inferior:

$$V_{Out} = \begin{cases} 1, & \text{si } V_{in} > -K; \\ 0, & \text{de otra forma.} \end{cases} \quad (9)$$

Por lo tanto combinando (8) y (9) en una sola ecuación se llega a la ecuación propuesta para (2) de la celda lógica, donde el valor de $V_{CC} = 5 \text{ V}$ se toma como un 1 lógico y 0 V como 0 lógico.

$$V_{Out} = \begin{cases} 1, & \text{si } |V_{in}| < K; \\ 0, & \text{de otra forma.} \end{cases} \quad (10)$$

Nota: El parámetro D de la Ec. (2) se calcula como el punto mitad entre los valores de $\pm K$, en este caso $D = 0$. Una vez analizados los circuitos propuestos para (1) y (2) procedemos a la implementación de las funciones.

3. Funciones lógicas OR y AND

Para realizar las funciones lógicas OR y AND se proponen los valores de $R_{11} = R_{12} = R_{21} = R_{22} = R$, $C_1 = 2C$ y $C_2 = C$, con esto la matriz A arroja los siguientes valores propios.

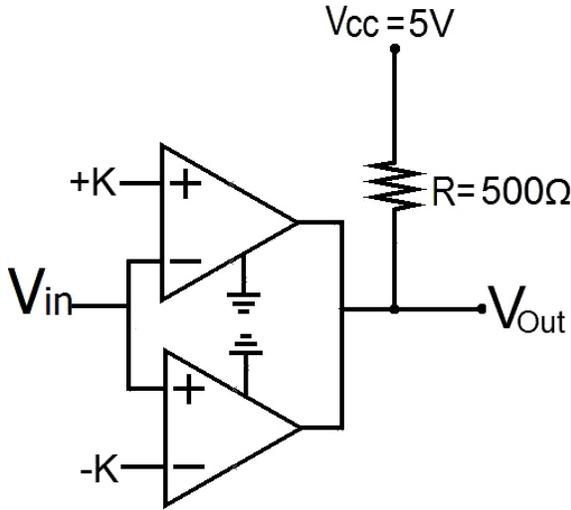


FIGURA 3. Circuito ventana para instrumentar la Ec. 2.

$$\lambda = \frac{-5}{2RC} + \frac{\sqrt{17}}{2RC} \quad \mu = \frac{-5}{2RC} - \frac{\sqrt{17}}{2RC} \quad (11)$$

La solución del sistema lineal homogéneo se encuentra por $X = e^{At} X_0$ donde $e^{At} = P e^{Qt} P^{-1}$, $Q = \text{diag}[\lambda, \mu]$ y P contiene los vectores propios [6].

Así para las diferentes combinaciones de las entradas U_i (Tabla I) $i = \{1, 2\}$ se tienen cuatro casos, donde la solución de cada uno se muestran en las columnas V_1 y V_2 siendo V_{10} y V_{20} sus voltajes iniciales respectivos, además

$$\alpha_{11} = \left(\frac{3 + \sqrt{17}}{2} V_{10} - V_{20} \right) / \sqrt{17},$$

$$\alpha_{12} = \left(\frac{-3 + \sqrt{17}}{2} V_{10} + V_{20} \right) / \sqrt{17}$$

$$\alpha_{21} = \left(-2V_{10} + \frac{-3 + \sqrt{17}}{2} V_{20} \right) / \sqrt{17} \text{ y}$$

$$\alpha_{22} = \left(2V_{10} + \frac{3 + \sqrt{17}}{2} V_{20} \right) / \sqrt{17}$$

Una gráfica de la ubicación de estas soluciones cuando $t \rightarrow \infty$ se encuentran en la Fig. 4.

TABLA I. Solución V_1 y V_2 para las distintas combinaciones en las entradas.

U_1	U_2		V_1	V_2
0	0	Caso 1	$\alpha_{11}e^{\lambda t} + \alpha_{12}e^{\mu t}$	$\alpha_{21}e^{\lambda t} + \alpha_{22}e^{\mu t}$
0	1	Caso 2	$\alpha_{11}e^{\lambda t} + \alpha_{12}e^{\mu t}$	$\alpha_{21}e^{\lambda t} + \alpha_{22}e^{\mu t} + \frac{1}{2}$
1	0	Caso 3	$\alpha_{11}e^{\lambda t} + \alpha_{12}e^{\mu t}$	$\alpha_{21}e^{\lambda t} + \alpha_{22}e^{\mu t} + \frac{1}{2}$
1	1	Caso 4	$\alpha_{11}e^{\lambda t} + \alpha_{12}e^{\mu t}$	$\alpha_{21}e^{\lambda t} + \alpha_{22}e^{\mu t} + 1$

TABLA II. Tabla de verdad de las funciones OR y AND.

Entradas		Salidas	
U_1	U_2	OR	AND
0	0	0	0
0	1	1	0
1	0	1	0
1	1	1	1

Y en la Tabla II se muestran las tablas de verdad de las funciones OR y AND a implementar.

Celda lógica OR

Para generar esta función lógica definamos como la envolvente una circunferencia con centro una posición intermedia entre los nodos 2 (caso 2) y 4 (casos 4) del plano fase, como sigue:

$$(0, 0.75) \quad (12)$$

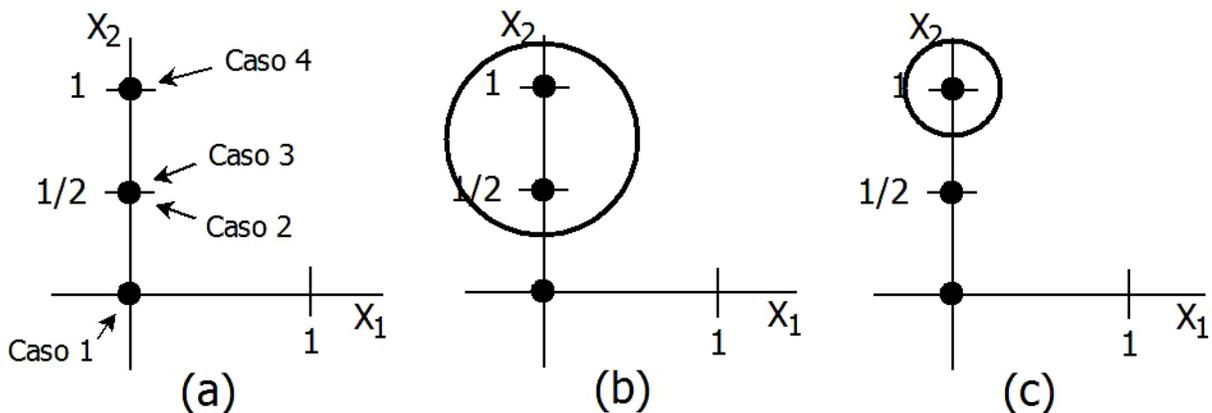


FIGURA 4. Nodos estables.- a) Representación de los cuatro casos, b) Función OR, c) Función AND.

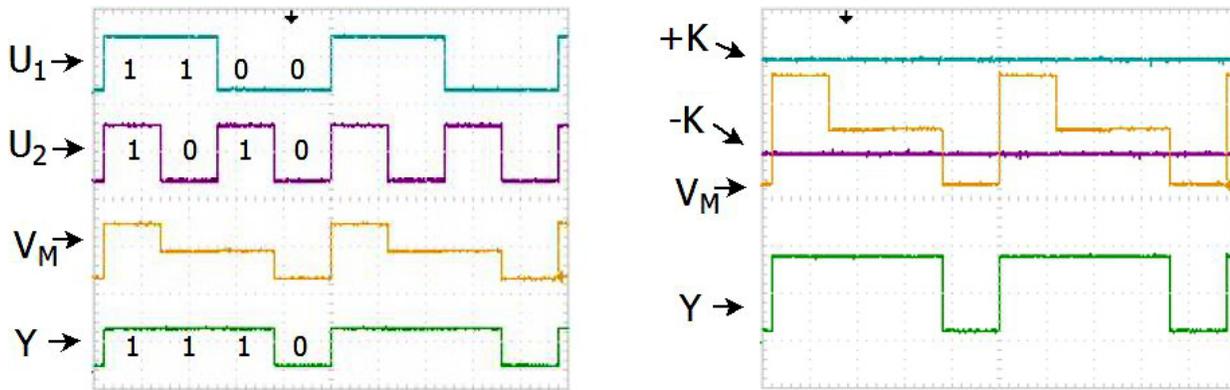


FIGURA 5. Función OR. (a) Señales de entrada a las terminales U_1 y U_2 , potencial en el nodo M y salida Y de la celda lógica. (b) Potenciales de umbral $\pm K$, en el nodo M y de salida Y .

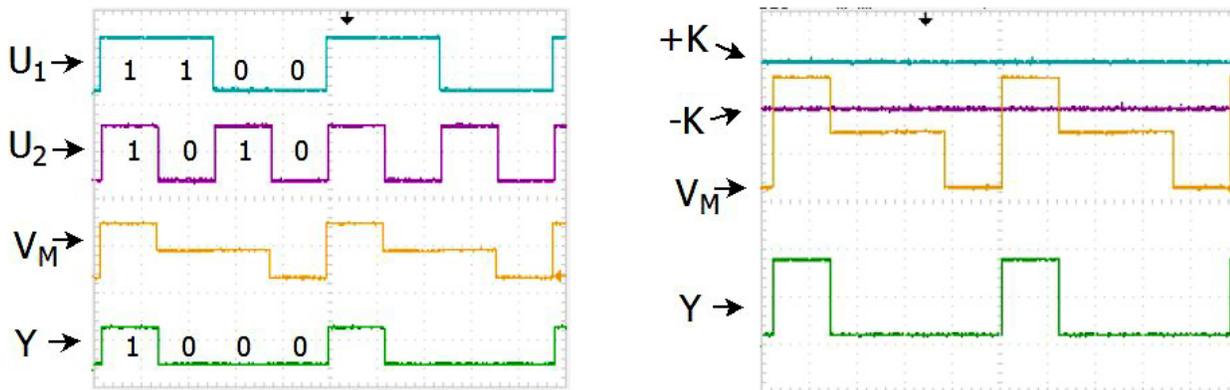


FIGURA 6. Función AND. (a) Señales de entrada a las terminales U_1 y U_2 , potencial en el nodo M y salida Y de la celda lógica. (b) Potenciales de umbral $\pm K$, en el nodo M y de salida Y .

y el radio de la envolvente como una distancia menor del centro (0,0.75) al nodo 1 (caso 1), por ejemplo:

$$K \leq 0.5 \tag{13}$$

Con esto se garantiza según [4] que los nodos 2, 3 y 4 queden incluidos en la envolvente (Fig. 4b) generando de esta forma la función lógica OR según la Tabla II.

Celda lógica AND

Para generar la función lógica AND coloquemos el centro de (2) en la posición del nodo 4:

$$(0, 1) \tag{14}$$

y escojamos un radio menor o igual a una distancia media entre los nodos 4 y 3,

$$K \leq 0.25 \tag{15}$$

Con esto el nodo 4 queden incluido en la envolvente (Fig. 4c) generándose el resultado de la celda lógica que se da en la columna AND de la Tabla II.

4. Resultados

El diseño se implementó sobre una tarjeta fenólica. En el circuito experimental se utilizaron resistencias de $10\text{ K}\Omega$, capacitores de 10 nF y 20 nF , el comparador LM311 en la configuración ventana, fuentes de $\pm 15\text{ V}$, 3A modelo PS280 de la compañía Tektronix, y para capturar la señal se utilizó un osciloscopio TDS2014 de la compañía Tektronix, finalmente para generar la secuencia de entrada se utilizan 2 generadores de señales BK presicion modelo 4040A.

En todos los experimentos 5 V es considerado como nivel alto para las entradas (U_i) mientras que el nivel bajo corresponde a 0 V . La entrada V_{in} de la Fig. 3 se toma del potencial en el nodo M de la Fig. 2 y la salida V_{Out} corresponde a Y de (2). En la Fig. 5(a) y 6(a) La línea superior (línea azul) es para la variación del potencial en la entrada U_1 , la línea media superior (línea morada) para el potencial correspondiente a U_2 , la línea media inferior (línea amarilla) es para el potencial en el nodo M y finalmente la línea inferior (línea verde) es la salida de la celda lógica propuesta. Para las mismas figuras pero ahora en cuanto al inciso (b) la línea superior (línea azul) es el potencial del parámetro $+K$, la línea media superior (línea morada) para el potencial del parámetro $-K$, la línea media inferior (línea amarilla) es para el potencial en el nodo M y

finalmente la línea inferior (línea verde) es la salida de la celda lógica propuesta, estando acorde a los resultados teóricos.

5. Conclusiones

Se ha desarrollado la implementación de una celda lógica binaria basada en el espacio de estados en un sistema bidimensional, debido a las características de cambiar los parámetros A , B , $+K$ y $-K$ se pueden generar las funciones lógicas OR y AND, más sin embargo se pueden diseñar otras funciones

lógicas con 2 entradas (por ejemplo, 16 funciones lógicas) si se sintonizan los parámetros λ , μ de tal forma que se obtengan cuatro diferentes puntos fijos; la implementación de un sistema con más entradas se deja para un trabajo futuro.

Este trabajo aporta el desarrollo de un circuito electrónico que podemos denominar de nueva generación bajo la filosofía de reconfiguración, basado en envolver uno, o tres puntos fijos del sistema lineal (1), cabe mencionar que se trabaja con valores propios reales distintos.

-
1. H. Peng, Y. Yang, L. Li, and H. Luo, *Chaos* **18** (2008) 033101.
 2. S. Sinha and W. L. Ditto, *Phys. Rev. Lett.* **81** (1998) 0.
 3. R.E. Lozoya-Ponce, I. Campos-Cantón, y R.O. Lozoya Ponce *Rev. Mex. Fis.* **59** (2013) 107.
 4. I. Campos-Cantón, *Rev. Mex. Fis.* **57** (2011) 106.
 5. J. U. Cisneros Parra, *El amplificador operacional* Cap1, pag 10 (editorial parra, SLP, 2006).
 6. I. Campos-Cantón, *et. al. Rev. Mex. Fis.* **54** (2008) 468.