

## Revisión general de ADCs tipo noise shaping SAR: Fundamentos, retos y tendencias

D. Rivera-Orozco<sup>a</sup>, L. Guerrero-Linares<sup>b,c</sup>, G. Molina Salgado<sup>b</sup> and F. Sandoval-Ibarra<sup>a</sup>

<sup>a</sup>Diseño Electrónico, CINVESTAV-Guadalajara,

Av. del Bosque 1145, El Bajío, 45017 Zapopan, Jalisco, México.

<sup>b</sup>Microelectronics Circuit Centre Ireland,

Dyke Parade, Mardyke, T12R5CP, Cork, Ireland.

<sup>c</sup>Departamento de Ingeniería en Diseño Electrónico y Sistemas Inteligentes, Centro de Enseñanza Técnica Industrial, C. Nueva Escocia 1885, 44638 Guadalajara, Jalisco, México.

Received 25 January 2023; accepted 2 March 2023

Se presenta una introducción al estudio de los convertidores analógico-digital de aproximaciones sucesivas tipo Noise Shaping, así como una descripción general de los fundamentos del Noise Shaping SAR, sus principios básicos de operación y principales arquitecturas. Se abordan los problemas abiertos, se revisan los desafíos fundamentales y las fuentes de error principales en los circuitos de procesamiento, y se resumen los desarrollos de las arquitecturas de vanguardia, que hacen frente a diversos problemas que incluye el filtro de lazo, sus implementaciones pasivas/activas, y el mismatch presente en los elementos de red del DAC, entre otros. Adicionalmente, se exponen las tendencias y retos futuros.

**Descriptor:** Conversión analógico-digital; noise shaping; SAR; sobremuestreo; mismatch.

An introduction to the study of Noise Shaping type successive approximation (SAR) analog-to-digital converters is presented, as well as a general description of the fundamentals of Noise Shaping SAR (NS SAR), its basic principles of operation and its main architectures. Open problems are addressed, fundamental challenges and main sources of error in processing circuits are reviewed, and state-of-the-art architecture developments are summarized, addressing various problems including loop filter, its passive/active implementations, and the mismatch in the elements of the DAC network, among others. Additionally, future trends and challenges are exposed.

**Keywords:** Analog-digital conversion; noise shaping; SAR; oversampling; mismatch.

DOI: <https://doi.org/10.31349/RevMexFis.69.041401>

### 1. Introducción

El siglo XXI ha llevado al límite las capacidades de todo convertidor analógico-digital (ADC), provocado por la creciente demanda de diversas aplicaciones en dispositivos de bajo consumo y la necesidad de prolongar la vida útil de las baterías. *Internet of Things* (IoT) [1], los sistemas de imágenes ultrasónicas de alta resolución [2] o las interfaces para procesamiento de bioseñales [3] son ejemplo del enorme número de aplicaciones de comunicación que incluyen transductores, sensores y circuitos de acondicionamiento, por citar algunas áreas de oportunidad. En la práctica, tanto las aplicaciones como sus respectivos requerimientos son un problema abierto porque los desarrollos actuales se alimentan con bajo voltaje ( $< 1.1$  V), haciendo que toda implementación sea sensible al ruido intrínseco (propio del sistema), y las no idealidades inherentes al sistema de conversión A/D. El reto es proponer arquitecturas tolerantes al efecto de esas y otras fuentes de error.

A la fecha, diversos tipos de ADC se han implementado para llevar al límite sus prestaciones y satisfacer los requerimientos que cada aplicación demanda; destaca la búsqueda del bajo consumo de potencia, ancho de banda (BW) finito, un número de bits que impacte en la resolución efectiva (ENOB), un alto valor de relación señal a ruido (SNR), o de relación señal a ruido y distorsión (SNDR), entre otras carac-

terísticas. Es importante señalar que muchas de estas métricas están correlacionadas, forzando al diseñador a enfrentar varios *trade-offs*. La Fig. 1 ilustra las principales arquitecturas de ADCs en términos de su ancho de banda.  $\Delta-\Sigma$  ha mostrado gran capacidad de resolución de bits ( $\approx 20$  bits), y llama la atención cómo varios desarrollos han logrado aumentar el

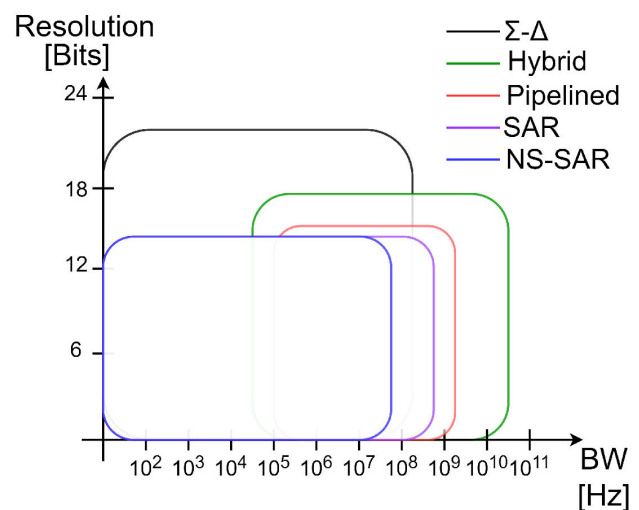


FIGURE 1. Comparativa de las diferentes arquitecturas de ADCs.

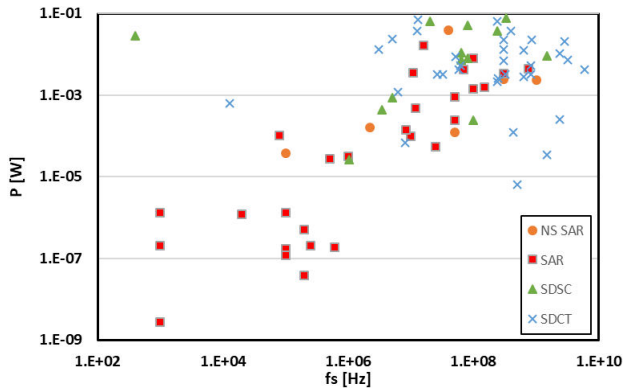


FIGURE 2. Consumo de potencia en ADC  $\Delta - \Sigma$ , SAR y NS SAR.

BW. Dejando de lado los desarrollos pasa-banda (que han alcanzado 300 MHz [4]), algunas implementaciones de tiempo continuo han logrado 125 MHz [5]. Las arquitecturas dominantes son aquellas que utilizan hibridaciones, como SARTI (*Time-Interleaving*) con implementaciones que van desde 125 MHz a 40 GHz [6,7], conservando una resolución media-alta (12-18 bits). *Pipelined* también ha reportado resultados de hasta 1.6 GHz [8].

Pero no es BW la única métrica de interés. Para ciertas aplicaciones conservar el mínimo consumo de potencia es primordial, y es SAR el mejor exponente debido al reducido hardware que emplea en su construcción, característica que se aprecia en la Fig. 2, donde se muestra el consumo de potencia contra la frecuencia de muestreo en implementaciones SAR, NS SAR y  $\Delta - \Sigma$  [9]. SAR ha demostrado un adecuado balance en tres características importantes, consumo de potencia, resolución moderada de bits ( $\approx 14$  bits) y SNDR. Sin embargo, muchas implementaciones se han limitado a 80 dB de SNDR (ver Fig. 3). Para incrementar esta métrica (además del ENOB), se utiliza la retroalimentación del error de cuantización en combinación con la técnica de sobremuestreo (utilizando un OSR relativamente bajo), para tener un conformado del ruido en el SAR (y darle sentido al NS SAR), conservando siempre bajo consumo de potencia. Esta cualidad ha hecho del NS SAR una opción atractiva pa-

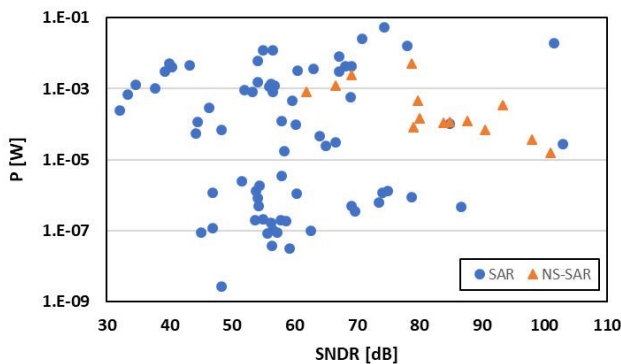


FIGURE 3. NS SAR y su mejora de SNDR en comparación con SAR sin sacrificar consumo de potencia.

ra su integración en interfaces de sistemas en chip (SoC) y su viabilidad de fabricación en tecnologías CMOS nanométricas, donde se han enfocado los esfuerzos para mejorar el BW, que actualmente llega a 40 MHz [10]. En la práctica, NS SAR no es un convertidor ideal, fundamentalmente porque su diseño en tecnología CMOS no es perfecta. A nivel circuito, existe una serie de implicaciones y problemas que afectan la linealidad del convertidor, lo que impacta en las métricas de desempeño que afecta las prestaciones del ADC.

Este documento se divide en 4 secciones. La Sec. 2 presenta los fundamentos de NS SAR ADC, su principio de operación y la síntesis de bloques a nivel circuito. En la Sec. 3 se exponen las principales no idealidades del NS SAR ADC, los problemas y retos a superar, así como las principales técnicas y soluciones reportadas en el estado del arte. Finalmente, en la Sec. 4 se presentan las conclusiones y tendencias en este campo de aplicación.

## 2. Del SAR ADC al NS SAR ADC: Fundamentos

### 2.1. SAR ADC Nyquist

Comprender el funcionamiento de NS SAR es sencillo si se comienza analizando la estructura de un ADC SAR tradicional (Nyquist), el cual se muestra en la Fig. 4, e incluye una etapa de muestreo y retención, un comparador, un bloque de selección y ajuste lógico (para la conversión digital), un registro y un DAC (convertidor digital-analógico) que retroalimenta el valor de conversión (en formato analógico) para hacer una nueva comparación (con el valor de entrada). El sistema de conversión A/D se basa en un algoritmo de búsqueda binaria, y en cada ciclo de conversión se aproxima más al valor de entrada. Un diagrama del algoritmo puede verse en la Fig. 5. Una de las ventajas del SAR ADC es su implementación con poco hardware y de bajo consumo de potencia; una simplificación a nivel de bloques y de circuito es incluir el proceso de muestreo y retención en el DAC, e incorporar comparadores con diseños sin op-amps para beneficiar el ahorro energético. El DAC usualmente se construye con redes capacitivas (CDAC), por su facilidad de escalamiento y su sencilla construcción en el diseño de circuitos integrados. El formato *Single-Ended* para un CDAC de 4 bits se muestran la Fig. 6. Nótese que se añade un capacitor *dummy*. El

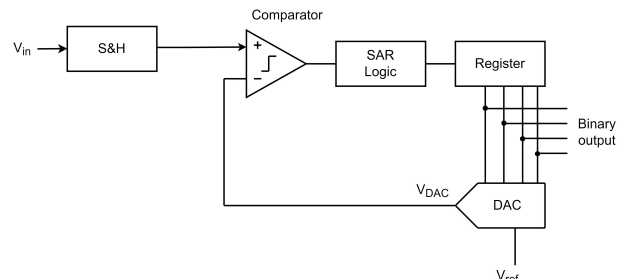


FIGURE 4. Esquemático de un ADC SAR tradicional.

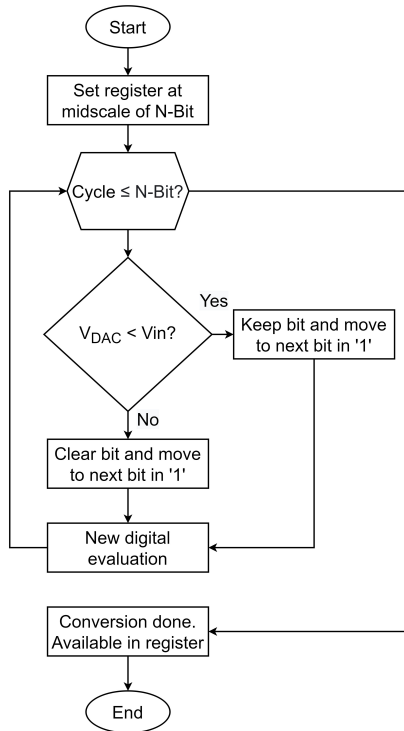


FIGURE 5. Diagrama de flujo del algoritmo de conversión de un SAR ADC.

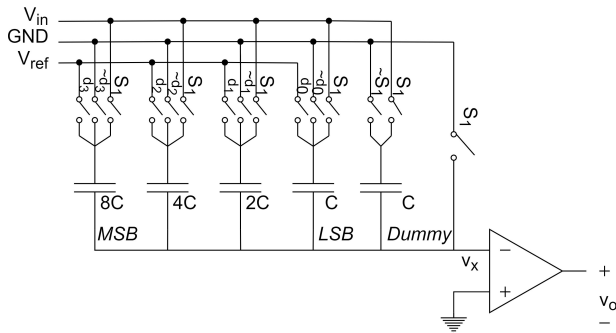


FIGURE 6. Single Ended CDAC de 4 bits.

principio de operación está basado en la distribución de carga y la generación de voltajes ponderados, éstos mediante interruptores para construir un divisor de voltaje capacitivo. El sistema incluye dos fases: muestreo y conversión. La primera fase captura el valor de  $V_{in}$ , y se conectan todos los capacitores a través de  $S_1$ , de tal manera que una placa del capacitor esté conectada a  $V_{in}$  y la otra a GND. En la etapa de conversión, porque se empieza con el *midscale* de  $N$  bits, el voltaje presente en la terminal inversora del comparador,  $V_x$ , estará determinado por (1); el divisor de voltaje en el primer ciclo se puede apreciar en la Fig. 7. Es importante señalar que se requieren  $N$  periodos de comparación para un SAR de  $N$  bits, por lo que en cada ciclo el comparador evalúa la diferencia de voltaje en la terminal inversora, modelada por (1), con el valor de la señal en la entrada no inversora, 0 V.

$$V_x = -V_{in} + d_{N-1} \frac{V_{ref}}{2} + d_{N-2} \frac{V_{ref}}{4} + \dots + d_0 \frac{V_{ref}}{2^N}. \quad (1)$$

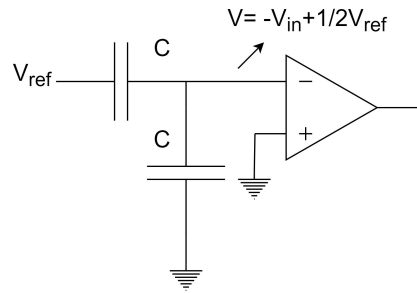


FIGURE 7. Divisor de voltaje capacitivo en el primer ciclo de conversión.

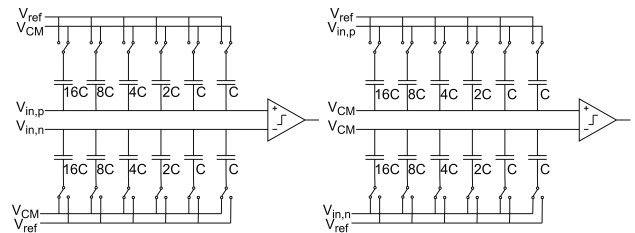


FIGURE 8. Muestreo CDAC de 5 bits a) *top plate* y b) *bottom plate*.

Independientemente del esquema que se utilice para el muestreo (*bottom plate* o *top plate*, Fig. 8), las implementaciones del CDAC son completamente diferenciales (ver Fig. 9), porque se beneficia del rechazo de ruido en modo común, pero sobretodo de una mejora en el rango de voltaje de la señal, ya que se duplica la excursión de la señal sin duplicar el voltaje de entrada. Las señales de entrada diferencial pueden definirse como en (2)-(3), siendo  $x$  un valor definido de voltaje, mientras que la referencia de voltaje se “divide”

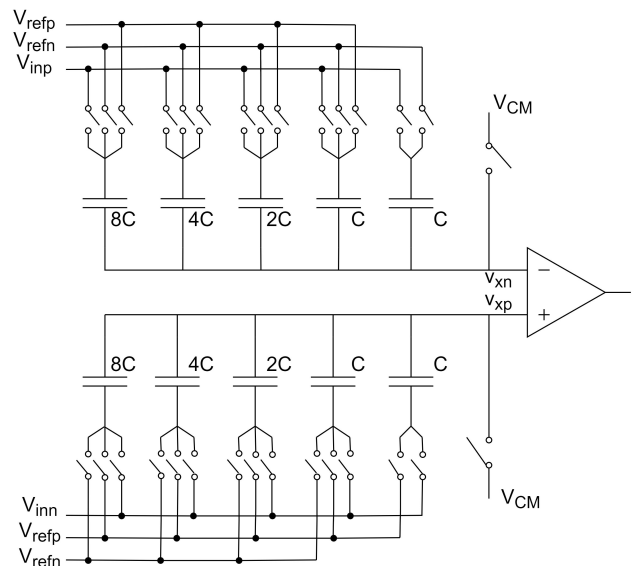


FIGURE 9. Fully-differential CDAC de 4 bits.

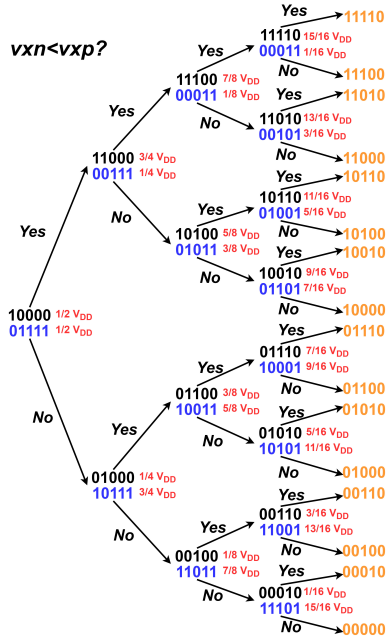


FIGURE 10. Algoritmo de búsqueda binaria *Fully-differential* en CDAC de 4 bits.

para aprovechar los beneficios de una implementación diferencial; guardan las relaciones mostradas en (4)-(5).

$$V_{inp} = x, \quad (2)$$

$$V_{inn} = V_{ref} - x, \quad (3)$$

$$V_{refp} = V_{CM} + \frac{V_{ref}}{2}, \quad (4)$$

$$V_{refn} = V_{CM} - \frac{V_{ref}}{2}. \quad (5)$$

El principio de operación de una estructura diferencial es similar a la versión *Single-Ended*, pero ahora se considera en el análisis la red capacitiva idéntica que se añade en la terminal no inversora, y que procesa la señal “negativa”. Después de la fase de muestreo (en ambas redes), nuevamente se comienza en el *midscale* de  $N$  bits. Por ejemplo, en el esquema de 4 bits mostrado en la Fig. 9, la red superior tendrá el capacitor  $8C$  conectado a  $V_{refp}$ , y los demás capacitores conectados a  $V_{refn}$ , *i.e.*, la palabra digital 10000, mientras que la red inferior tendrá siempre el complemento, en este caso, la palabra digital 01111. De esta manera los voltajes en el comparador están determinados por (6)-(7). El comparador evalúa si  $v_{xn} < v_{xp}$  y la salida será un ‘1’ lógico, caso contrario será un ‘0’ lógico.

$$V_{xn} = -V_{inp} + V_{CM} + \frac{1}{2}V_{DD}, \quad (6)$$

$$V_{xp} = -V_{inn} + V_{CM} + \frac{1}{2}V_{DD}, \quad (7)$$

$$V_{xn} = -V_{inp} + V_{CM} + \frac{3}{4}V_{DD}, \quad (8)$$

$$V_{xp} = -V_{inn} + V_{CM} + \frac{1}{4}V_{DD}. \quad (9)$$

Ahora bien, dependiendo del resultado de esa comparación, será el nuevo valor de palabra digital a evaluar en el siguiente ciclo. Supóngase que el resultado de comparación fue ‘1’, por lo que ahora en el siguiente ciclo la evaluación siguiente será 11000 para la red superior y 00111 para la red inferior. Así, las redes capacitivas modifican su divisor de voltaje y ahora tendremos los voltajes modelados en (8)-(9) a la entrada del comparador; este proceso se repite  $N$  veces. Un esquema completo del algoritmo de búsqueda binaria completamente diferencial de 4 bits puede apreciarse en la Fig. 10. Finalizado el proceso de conversión tendremos la conversión A/D. Sin embargo, la exactitud de la conversión estará determinada por el proceso de cuantización (y por la resolución), y al ser éste un proceso no lineal, queda un voltaje residual debido a la diferencia entre la entrada muestreada y la estimación digital de conversión (en formato analógico). Al final de la conversión habrá una diferencia, o error de cuantización,  $< 1$  LSB. Un problema abierto es reducir más ese valor, de tal manera que incremente la resolución del ADC sin sacrificar BW.

## 2.2. Procesamiento del error de cuantización: Noise Shaping SAR ADC

Hasta ahora se ha descrito el proceso para la conversión A/D en un SAR, en el cual hay un error de cuantización o voltaje residual. La Fig. 11 ilustra los voltajes de comparación en cada ciclo de un SAR ADC de 10 bits. Con el avance natural en el proceso de conversión, los voltajes se acercan más a  $V_{CM}$ , y al final, en un ciclo extra, podrá determinarse el error de cuantización en formato diferencial. Dicho lo anterior, ¿puede aplicarse la técnica de sobremuestreo y retroalimentación del error de cuantización (como sucede por ejemplo, en un modulador  $\Delta - \Sigma$ ) al SAR ADC?

El rasgo distintivo de un NS SAR es el muestreo y procesamiento del voltaje residual del CDAC (error de cuantización), y aplicar la técnica del conformado del ruido utilizando un filtro. La técnica distribuye no sólo el ruido de cuantización fuera del ancho de banda de interés, sino también conforma el ruido del comparador. Esa distribución, del ruido suele ser de tipo pasa-altas, aunque también hay tipo pasa-

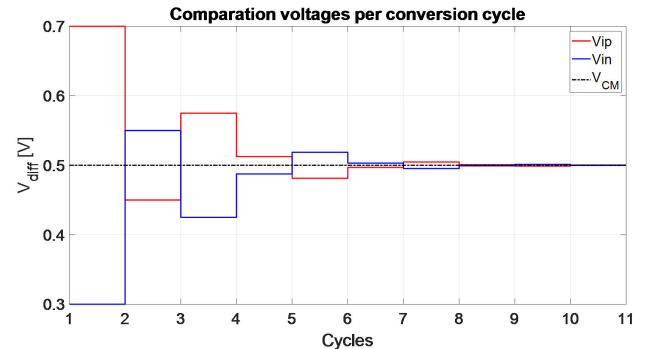
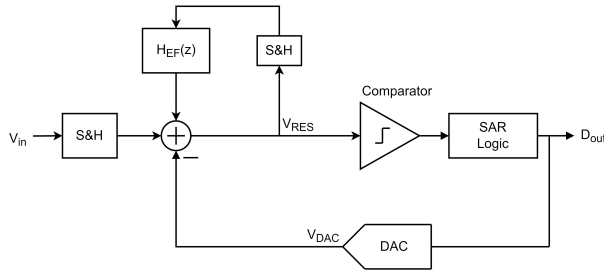
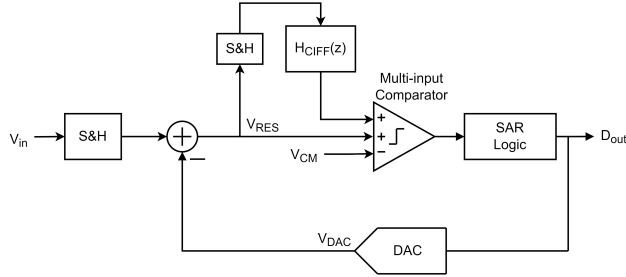


FIGURE 11. Proceso de conversión diferencial de un SAR ADC de 10 bits.


 FIGURE 12. Esquemático de un *Error Feedback* NS SAR.

 FIGURE 13. Esquemático de un *Cascade Integrator Feed-Forward* NS SAR.

banda. Ese residuo, o error de cuantización, es añadido a la línea de conversión para realizar un conformado del ruido, donde la síntesis de las diversas arquitecturas propuestas, tienen preferencia a aquellas que incluyen un bajo consumo pero que también beneficie al incremento en el SNDR, SNR y ENOB. Un NS SAR consta de una estructura SAR, un filtro de retroalimentación para el procesamiento del voltaje residual y un punto de suma para la adición del error de cuantización a la línea de conversión. Existen dos arquitecturas principales para la implementación del filtro de lazo y procesamiento del residuo: *Error Feedback* (EF) y *Cascade Integrator Feed-Forward* (CIFF), ilustrados en la Figs. 12, y 13, respectivamente. La diferencia es que en EF el error es muestreado, procesado y retroalimentado a la señal de entrada, mientras que en CIFF la suma se realiza en el comparador dinámico multi-entrada [11, 12].

### 2.3. Implementaciones del noise shaping SAR ADC: Error-Feedback y cascade integrator Feed-Forward

El diagrama a bloques simplificado de las estructuras EF y CIFF se presentan en las Figs. 14-15, respectivamente. El análisis de la función de transferencia de la señal y del ruido pueden deducirse de esos diagramas, obteniendo (10) y (11) para EF y CIFF, respectivamente. Nótese que en ambos casos, la función de transferencia de la señal STF(z), es unitaria. La función de transferencia del ruido NTF(z), puede identificarse como aquel factor que acompaña al error de cuantización  $E_Q(z)$ , siendo  $(1 - H_{EF}(z)z^{-1})$  para EF y  $(1 + H_{CIFF}(z)z^{-1})^{-1}$  para CIFF. Así, para EF el filtro a implementar será tipo *Finite Impulse Response* (FIR), por tratarse de ceros en el numerador, mientras que en CIFF el filtro

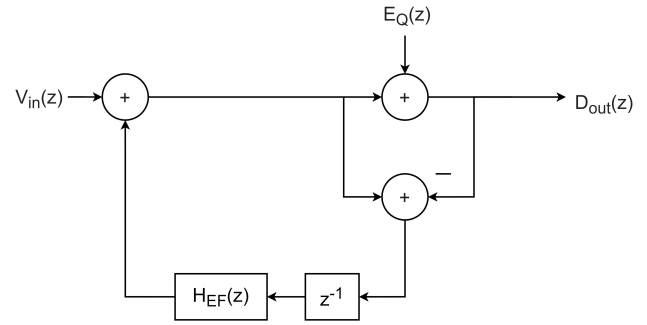


FIGURE 14. Diagrama a bloques de estructura EF NS SAR.

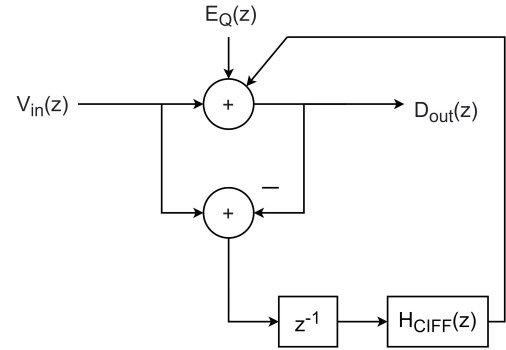


FIGURE 15. Diagrama a bloques de estructura CIFF NS SAR.

será tipo *Infinite Impulse Response* (IIR) (alta ganancia, como un integrador).

$$D_{out}(z) = V_{in}(z) + E_Q(z)(1 - H_{EF}(z)z^{-1}), \quad (10)$$

$$D_{out}(z) = V_{in}(z) + E_Q(z) \left( \frac{1}{1 + H_{CIFF}(z)z^{-1}} \right). \quad (11)$$

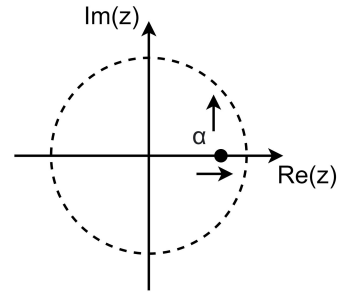
Las implementaciones EF se caracterizan por requerir de un punto suma para añadir el error a la señal muestreada, y es la síntesis de este bloque crucial en el diseño, ya que determina en buena medida la eficacia de la NTF [11]. La implementación del filtro de lazo puede ser de naturaleza activa (basadas en op-amps,  $g_m - C$ , entre otras), pasiva (*capacitor stacking*) o hasta dinámica (amplificadores dinámicos y puntos de suma, como en los comparadores multi-entrada, usados en CIFF). La implementación reportada en Ref. [13] presenta un esquema completamente pasivo, utilizando la distribución de carga para implementar el punto suma, una combinación de integración pasiva con interruptores y capacitores, y un comparador multi-entrada. Sin embargo, la propia estructura presenta atenuación, lo que implica que no se alcance el valor deseado de NTF(z). Para solucionar este problema, se ha propuesto el uso de amplificadores dinámicos de bajo consumo de potencia (DA) para otorgarle ganancia al residuo antes del proceso de integración. Sin embargo, cuando se utilizan DA, la sensibilidad a variaciones PVT (proceso, voltaje y tempe-

TABLA I. Comparativa de desempeño implementaciones EF.

<i>Especificación</i>	Chen 2015 [13]	Li 2018 [16]	Yi 2022 [14]
Filtro	EF	EF	EF
Tecnología	65 nm	40 nm	65 nm
Orden	1	2	1
Alimentación	0.8 V	1.1 V	1.2 V
Bits	8	9	9
BW	6.25 MHz	625 kHz	625 kHz
OSR	4	8	16
SNDR	58.03 dB	79 dB	81 dB
Potencia	120.7 $\mu$ W	84 $\mu$ W	183.6 $\mu$ W
FoMs	165.1 dB	178 dB	176.3 dB

ratura) incrementa, y se requiere calibración digital para compensar ese problema. Algunos reportes recientes [14, 15] han incorporado un *buffer* de ganancia unitaria en lugar de muestreo pasivo para conseguir una NTF sin pérdidas. En esos trabajos destaca el uso de esquemas *ping-pong* para el *switcheo*, lo que facilita las implementaciones completamente pasivas. La Tabla I presenta una comparativa de importantes implementaciones EF reportadas.

La última métrica permite una comparación puntual entre el desempeño de los ADCs. Esta es la Figura de Mérito (FoM) y representa una relación entre la resolución, la velocidad de conversión y el consumo de potencia. Existen 2 principales FoMs para ADCs, la  $FoM_W$  de Walden (12), y la  $FoM_S$  de Schreier (13). Las unidades de la primera son  $J/conv\text{-step}$  y de la segunda, decibeles. Un valor de FoM más bajo indica un valor más bajo en el consumo de energía con

FIGURE 16. Representación de  $\alpha$  en un círculo unitario.

el mismo rendimiento de ruido, que también implica un menor consumo general de energía [17].

$$FoM_W = \frac{P}{f_s 2^{ENOB}}, \quad (12)$$

$$FoM_S = SNDR + 10 \log \left( \frac{f_s/2}{P} \right). \quad (13)$$

Ahora bien, es importante señalar que el número de implementaciones CIFF es mayor que EF. De hecho, el primer reporte de un NS SAR fue una estructura CIFF, presentado por Fredenburg y Flynn en 2012 [18]. En la práctica, el filtro implementa FIR-IIR para el procesamiento del voltaje residual, ya que la etapa IIR aporta ganancia adicional. CIFF se caracteriza por presentar mayor tolerancia a variaciones de ganancia, a pesar de ser poco más compleja en el diseño que EF. Nótese que en una implementación CIFF, para que el ruido de cuantización en (11) tenga una característica pasa-altas como en EF,  $H_{CIFF}(z)$  multiplicado por  $z^{-1}$  debiera tener la naturaleza de un integrador ( $z^{-1}/1 - z^{-1}$ ). Esta respuesta es una representación ideal (con un integrador de muy alta ganancia), pero en la práctica no sucede así. Una ecuación que modela de mejor manera las pérdidas es (14). Con un valor de  $\alpha$  grande, el cero de NTF(z) se ubica más cerca del círculo

TABLA II. Comparativa de desempeño implementaciones CIFF.

<i>Espec.</i>	Fred. 2012 [18]	Garvik 2017 [20]	Lin 2019 [10]	Tang 2020 [21]	Liu 2021 [22]	Wang 2022 [23]
Filtro	CIFF	CIFF	CIFF	CIFF	CIFF	CIFF
Tipo	Pasivo	Activo	Pasivo	Dinámico	Pasivo	Activo
Tecn.	65 nm	28 nm	14 nm	40 nm	40 nm	65 nm
Orden	1	1	1	2	4	2
Alim.	1.2 V	0.81 V	0.9 V	1.1 V	1.1 V	1.2 V
Bits	8	9	10	10	9	7
BW	11 MHz	1.75 MHz	40 MHz	625 kHz	250 kHz	8 MHz
OSR	4	8	4	8	10	8
SNDR	62 dB	68.1 dB	66.6 dB	83.8 dB	93.3 dB	70 dB
P	806 $\mu$ W	70.5 $\mu$ W	1250 $\mu$ W	107 $\mu$ W	340 $\mu$ W	570 $\mu$ W
FoMs	163.3 dB	172 dB	171.7 dB	181.5 dB	182 dB	171.5 dB

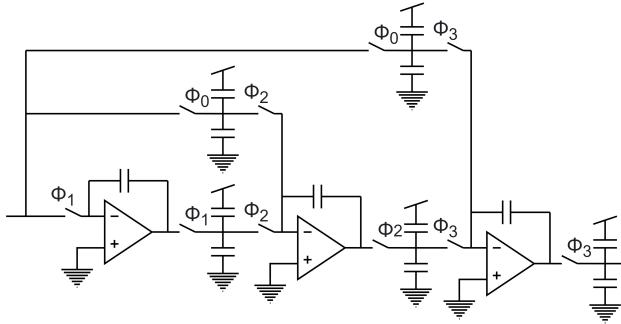


FIGURE 17. Ejemplo de una implementación activa SC con filtro de lazo de 3<sup>er</sup> orden [25].

unitario, como se ilustra en la Fig. 16, lo que permitirá un efecto de conformado de ruido más definido. Sin embargo, para lograr un  $\alpha$  de mayor valor, se requiere una transferencia de carga precisa en el integrador [19], que generalmente se basa en el uso de OTAs de alta ganancia y ancho de banda para evitar pérdidas. Este tipo de implementaciones contraponen la filosofía original de un NS SAR de ofrecer un bajo consumo de potencia y que sea escalable en tecnologías CMOS y es por eso que, independientemente si es para una estructura EF o CIFF, la implementación del filtro ha tenido muchas variantes, pudiendo ser, fundamentalmente de tipo pasiva o activa. Una comparativa de las implementaciones CIFF es presentada en la Tabla II.

En cuanto a las implementaciones activas, destacan aquellos integradores con op-amps y capacitores conmutados (SC), como los reportados en [18, 24]. Una aproximación de 3<sup>er</sup> orden activa propuesta en Ref. [25], puede apreciarse en la Fig. 17. Este trabajo es importante porque utiliza el *duty cycling* como técnica para disminuir el consumo de potencia. En las implementaciones pasivas, el tema es que no dispone de ganancia, y en busca de superar este inconveniente, son el comparador dinámico multi-entrada basado en DAs y el *capacitor stacking* las arquitecturas principales (Fig. 18-19), ya que ofrecen amplificación de bajo consumo, y bajo estas características se desprenden desarrollos interesantes en Ref. [26, 27]. Sin embargo, la ganancia del DA es sensible a variaciones de PVT. La calibración digital se utiliza para garantizar la robustez de PVT, pero aumenta la complejidad del diseño y conlleva tiempo para converger [28].

$$NTF(z)_{H_{CIFF}} = \frac{1}{1 + \frac{\alpha}{1 - \alpha z^{-1}} z^{-1}}. \quad (14)$$

También se ha apostado por diseños que incluyan *buffers* [29] para el manejo de la atenuación debido a la transferencia de carga, la topología *source follower* es común, pero también hay versiones modificadas como la descrita en Ref. [30]. Otros trabajos incluyen un preamplificador, como se menciona en Ref. [31], pero también arquitecturas pseudo-diferenciales de circuitos basados en inversores [20]. El esquema de una implementación completamente pasiva es reportado en Ref. [32] y se presenta en la Fig. 20. Aquí solamente con interruptores, capacitores y el comparador dinámico multi-entrada se consigue el conformado del ruido

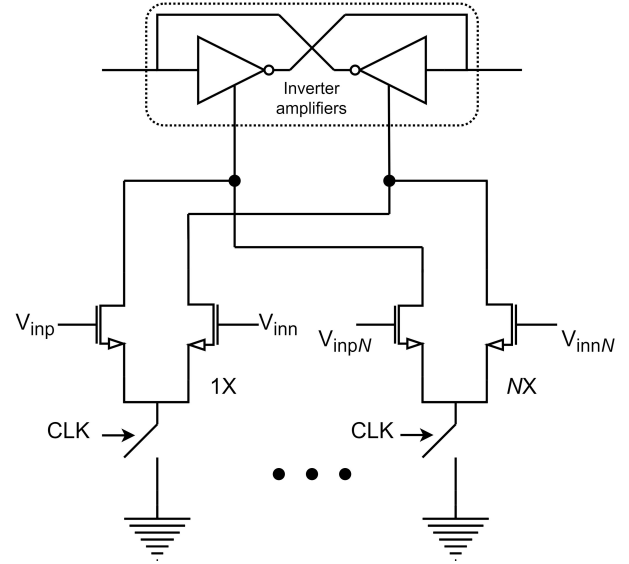


FIGURE 18. Comparador multi-entrada basado en DAs.

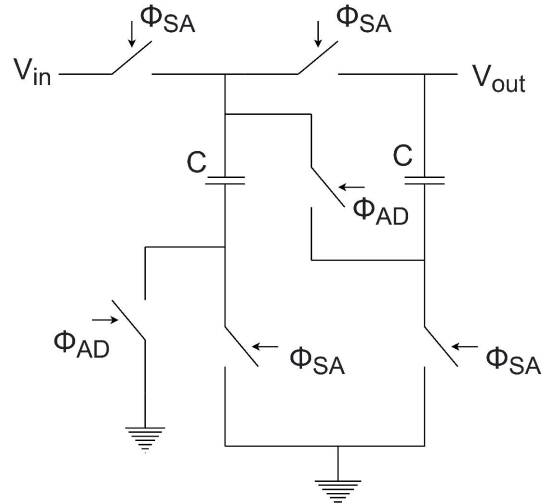


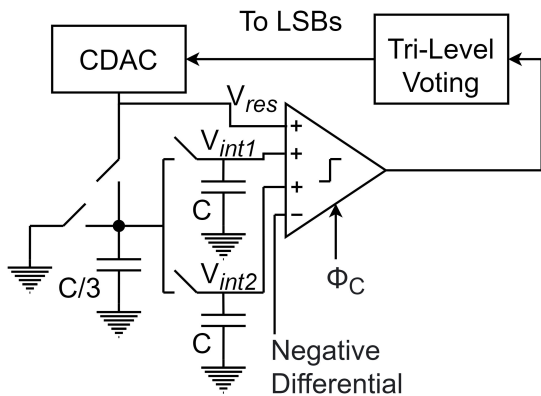
FIGURE 19. Esquema de *capacitor stacking* como doblador de voltaje.

de 2<sup>do</sup> orden. Además incluye la técnica del *Tri-Level Voting* para los dos últimos bits y compensar el ruido en el comparador. Finalmente, es importante señalar que recientes trabajos incorporan al *Closed-Loop DA* [21] y al *Ring Amplifier* [33] como estructuras promisorias debido a su robustez.

Es bien sabido que la implementación de órdenes mayores en la  $NTF(z)$  de EF (mayor a 2) es complicada porque los coeficientes del filtro FIR aumentan en cantidad y son más sensibles a la variación. Por eso, se han propuesto arquitecturas anidadas en cascada [34], donde se consigue un orden 4 conectando dos filtros EF de 2<sup>do</sup> orden. También se han reportado implementaciones híbridas de 3<sup>er</sup> orden que combinan EF y CIFF [35, 36], donde se incluye tanto la retroalimentación como la suma *feed-forward*. Los resultados muestran una mejora en la robustez del sistema al mismo tiempo que elimina los problemas del *offset*. Y porque existe

TABLA III. Comparativa de desempeño implementaciones en cascada.

<i>Espec.</i>	Lu 2020 [34]	Wang 2021 [35]	Zhang 2022 [36]	Wang 2022 [37]	Fu 2022 [38]
Filtro	Casc.-EF	EF-CIFF	EF-CIFF	EF-CRFF	CRFF
Tecn.	28 nm	65 nm	130 nm	65 nm	180 nm
Orden	4	3	3	4	2
Alim.	1 V	1.1 V	1.2 V	2 V	1.8 V
Bits	10	10	8	10	10
BW	100 kHz	625 kHz	125 kHz	500 kHz	1 MHz
OSR	10	8	8	5	-
SNDR	87.6 dB	84.8 dB	79.5 dB	84.1 dB	89.4 dB
P	120 $\mu$ W	119 $\mu$ W	96 $\mu$ W	133.8 $\mu$ W	880 $\mu$ W
FoMs	176.8 dB	182 dB	170.7 dB	182.4 dB	187.3 dB

FIGURE 20. Ejemplo de una implementación totalmente pasiva de 2<sup>do</sup> orden [32].

flexibilidad en la implementación del filtro IIR, también se ha apostado por propuestas que incluyan resonadores, CRFF (*Cascade Resonator Feed-forward*), como el desarrollo que implementó la conexión en cascada EF [37], pero también la que incluye el resonador en una arquitectura híbrida (activa-pasiva), alcanzando una mejora en BW [38]. Una comparativa de las implementaciones puede apreciarse en la Tabla III.

#### 2.4. Simulaciones de Noise Shaping

El beneficio que aporta el sobremuestreo reside en que se puede filtrar y eliminar el ruido que cae fuera de la banda de interés de todas las fuentes generadoras de ruido. Sin embargo, es necesario procesar el ruido que cae en la banda. El procesamiento de ese ruido es con el conformado del ruido y con sobremuestreo, el cual se ha abordado anteriormente para un SAR ADC. El lector podrá preguntarse, y ¿cómo saber que la técnica del conformado del ruido ha sido correctamente realizada? ¿Qué forma o gráfico esperar?

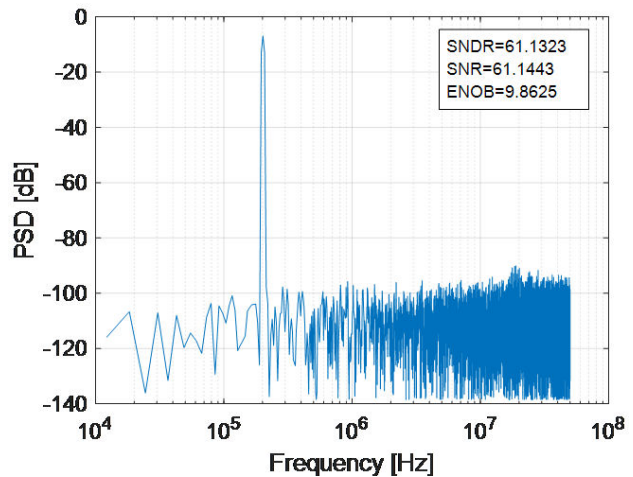


FIGURE 21. PSD sin noise shaping.

Como caso ilustrativo, considérese un SAR ADC de 10-bit core,  $F_s=100$  MHz, amplitud=0.45 V,  $offset=0.5$  V y BW de 1 MHz simulado de manera comportamental en MATLAB-Simulink® [39]. La señal de salida del ADC es procesada para obtener su respuesta en frecuencia y su gráfica puede ser apreciada en la Fig. 21 donde se muestra la densidad espectral de potencia con las métricas SNDR, SNR y ENOB para el SAR ADC tradicional (Nyquist). Nótese cómo la potencia del ruido está distribuida en todo el rango de frecuencias y se mantiene alrededor de  $-120$  dB. Si se adopta una estructura EF y se retroalimenta el error de cuantización a la señal muestreada de entrada, se consigue el conformado del ruido de 1<sup>er</sup> orden, presentado en la Fig. 22a)-b). No olvidar que debe definirse una OSR para que el conformado de ruido tenga sentido. Para propósitos ilustrativos, se ha establecido en 16, aunque OSRs comunes para NS SAR rondan entre 4 y 8. De las gráficas mencionadas, es importante notar dos características: la pendiente del conformado del ruido



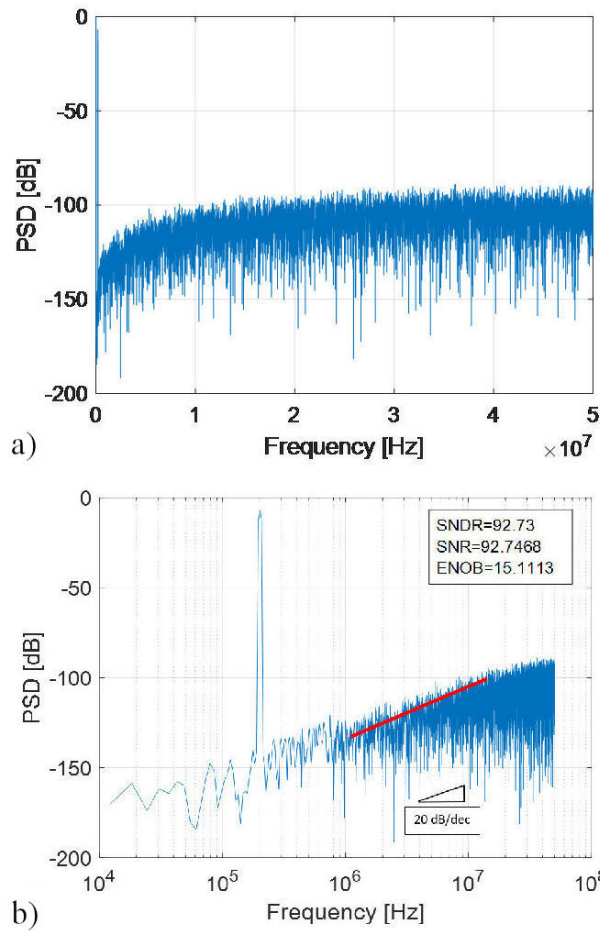


FIGURE 22. PSD con noise shaping de 1<sup>er</sup> orden. a) Escala lineal y b) Escala semi-logarítmica.

(20 dB/década), y dentro del BW de interés (1 MHz) el ruido presenta una atenuación mayor en comparación con el SAR Nyquist. También nótese el incremento en los valores de las métricas de desempeño, aproximadamente 30 dB en SNDR y SNR y de poco más de 5 bits de ENOB.

Ahora bien, ¿cómo obtener implementaciones  $NTF(z)$  de órdenes mayores? Retómese (10), que es el modelo EF mostrado en la Fig. 14. Se ha visto que si  $H_{EF}(z)$  es equivalente a la unidad, y únicamente se retroalimenta el error de cuantización con un retardo, se logra un conformado de 1<sup>er</sup> orden. ¿Cuánto debiera valer  $H_{EF}(z)$ , para tener un conformado de 2<sup>do</sup> orden,  $(1 - z^{-1})^2$ ? Si se implementa un filtro que modele  $(2 - z^{-1})$ , como se puede apreciar en (15),  $NTF(z)$  conformará el ruido de cuantización a razón de 40 dB/década, como se muestra en la Fig. 23. De manera similar, para conseguir una  $NTF(z)$  de 3<sup>er</sup> orden,  $H_{EF}(z)$  debe valer  $(3 - 3z^{-1} + z^2)$ , como se aprecia en 16. La Fig. 24 presenta la gráfica del PSD para una implementación de 3<sup>er</sup> orden. Nótese cómo en las implementaciones de órdenes mayores, las métricas incrementan, puesto que el ruido que se concentra dentro del ancho de banda de interés, disminuye de valor, *i.e.*, alcanza valores más negativos.

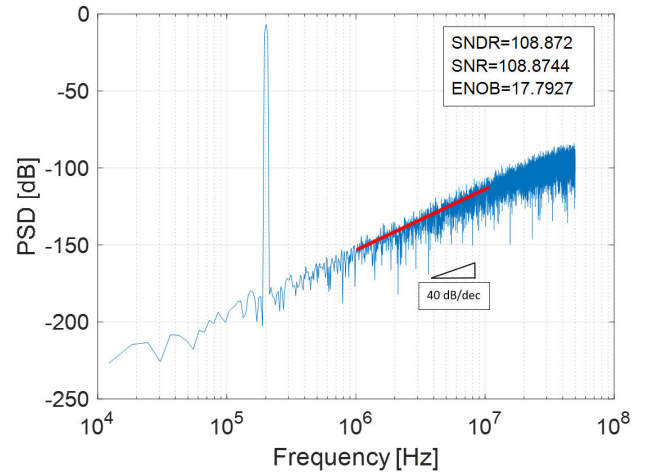


FIGURE 23. PSD con noise shaping de 2<sup>do</sup> orden.

$$NTF(z)_{2or} = 1 - (2 - z^{-1})z^{-1} = (1 - z^{-1})^2, \quad (15)$$

$$NTF(z)_{3or} = 1 - (3 - 3z^{-1} + z^{-2})z^{-1} = (1 - z^{-1})^3. \quad (16)$$

### 3. No idealidades en el desempeño del NS SAR ADC: Problemas, retos y soluciones

En la práctica, los sistemas de conversión A/D están orientados a una síntesis en silicio. Mas allá de los retos que las propias topologías imponen en la implementación (de filtros pasivos o activos, del comparador, etc.), debe considerarse que las distintas fuentes de error añaden no linealidad al convertidor. En esta sección se abordan los principales problemas y se resumen algunas de las soluciones típicas que se han propuesto.

La Tabla IV presenta los principales problemas del NS SAR (aparte de las propias implementaciones activas y pasivas), así como las soluciones y técnicas utilizadas al día de hoy. De manera general, se sabe que la desventaja del conformado del ruido es que todos los filtros de lazo introducen ruido térmico, que no es conformado. Con relación a las implementaciones es preciso mencionar que si bien el comparador multi-entrada dinámico ha sido una técnica disruptiva y bien aceptada, su desventaja es que cada entrada representa una fuente de ruido. Pero tal vez las fuentes de ruido más importantes que influyen en la no linealidad del NS SAR ADC en general, es el mismatch en el CDAC, el ruido  $kT/C$ , *flicker* y el *offset* en el comparador.

#### 3.1. Mismatch en CDAC

Los capacitores ponderados del CDAC, se fabrican de dos maneras en tecnologías MOS: metal-aislante-metal (MIM) y metal-óxido-metal (MOM). Ambos están sujetos a las variaciones en los parámetros físicos (por efecto del proceso de fabricación) y a los gradientes de concentración y son causantes del error que contribuye a la no linealidad del CDAC. Al no tener valores exactos del capacitor (y sus ponderaciones), se generan anchos de códigos de conversión no uniformes,

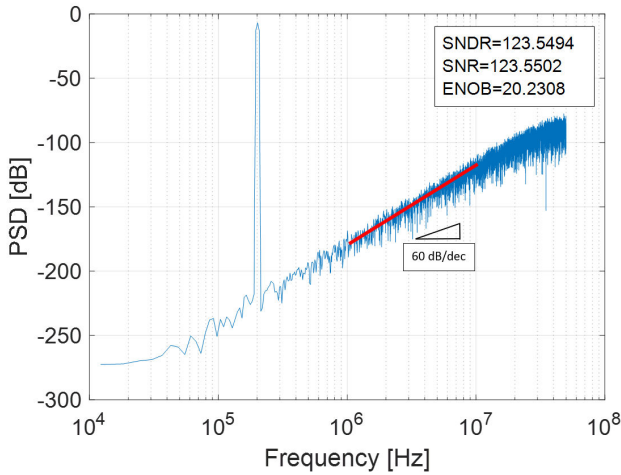


FIGURE 24. PSD con noise shaping de 3<sup>er</sup> orden.

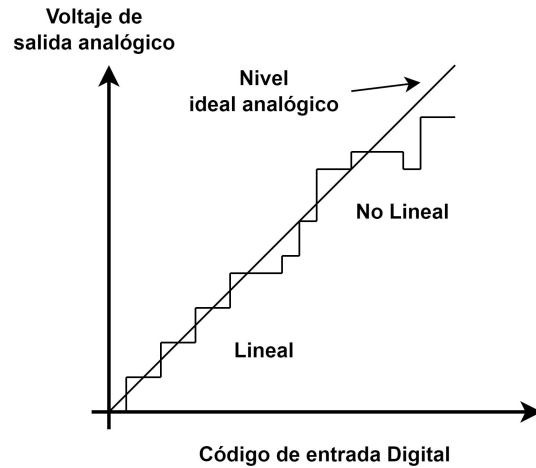


FIGURE 25. Función de transferencia con características lineales y no lineales.

TABLE IV. Retos y soluciones en diseño de bloques NS SAR.

Problema	Soluciones	Técnicas
Mismatch en DAC	Incremento de área	Elementos del DAC con una mayor área
	Calibración digital	<i>Foreground</i> <i>Background</i>
	Digital Mismatch Shaping con <i>Dynamic Element Matching</i> (DEM)	<i>Data Weighted Averaging</i> (DWA) DEM Segmentado
	<i>Mismatch Error Shaping</i> (MES)	Preset de bits menos significativos
	Ruido kT/C, offset y linealidad	Diseño de interruptores y de amplificador

lo que impacta de manera directa en métricas como la distorsión armónica, SFDR (rango dinámico libre de espurias), SNDR, y por lo tanto a la fiabilidad de conversión. Esto es porque la capacitancia unitaria se busca que sea mínima para beneficiar el consumo de potencia. En contraste, conforme las tecnologías escalan las capacitancias unitarias son de un valor menor, incrementando la desviación estándar. Por ende el error también aumenta, llegando a ser tan severo que el error de conversión (después de la calibración) puede ser mayor a 1 LSB [40]. De manera ilustrativa puede verse la no linealidad del proceso de conversión en la Fig. 25. La necesidad de incorporar técnicas que mitiguen el impacto y manejen los efectos del mismatch, es evidente. Para apreciar el impacto del mismatch en el NS SAR, la Fig. 26 muestra el PSD del EF NS SAR presentado en la Fig. 22, pero con un mismatch capacitivo en el CDAC de 1%. Nótese que las métricas han disminuido respecto al desempeño mostrado en la Fig. 22, SNDR en aproximadamente -9 dB y ENOB con -1.5 bits.

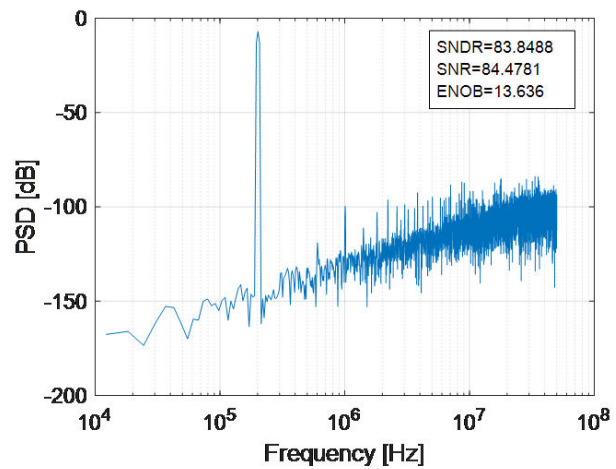


FIGURE 26. PSD con mismatch del 1% en una implementación EF de 1<sup>er</sup> orden.

La SFDR es la relación entre la amplitud de la señal de entrada y la amplitud de la señal espuria de mayor magnitud en el rango de frecuencia de interés. Idealmente, una señal pura tiene la potencia concentrada en su frecuencia fundamental. Sin embargo, por la no linealidad de los componentes, se tiene un valor no deseado de distorsión del tercer armónico en arquitecturas completamente diferenciales [1]. La Fig. 27 presenta distintos valores de SFDR reportados para diferentes arquitecturas de convertidores. Con el uso de técnicas de corrección, se han alcanzado 112 dB en NS SAR [25].

Hoy día existen diversas técnicas para la corrección del mismatch (ver la Tabla IV). Aunque el incremento del área en capacitores resuelve el problema del mismatch, no es viable porque no es escalable. La calibración digital (*foreground* y *background*) es una técnica común; aquí se requiere conocer previamente una estimación del error debido a mismatch. LMS (*Least Mean Squared*) [16, 40, 41], es un método de calibración digital que ha generado valores notables de SFDR. Su funcionamiento se basa en que obtiene el peso exacto de

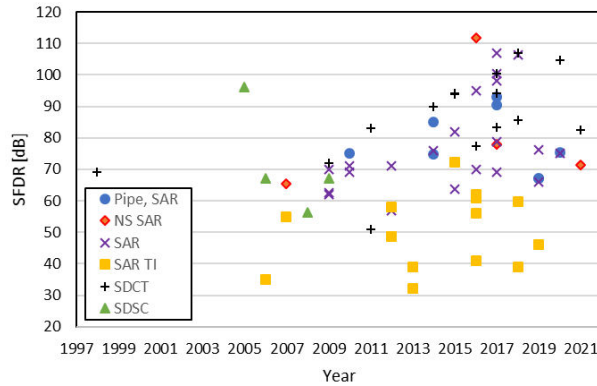


FIGURE 27. Evolución del SFDR con el paso de los años en las diferentes arquitecturas de ADCs.

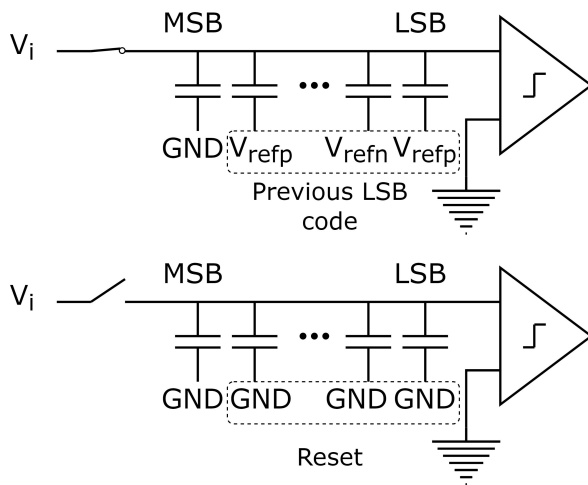


FIGURE 28. MES de 1<sup>er</sup> orden. Etapa de muestreo y etapa de reset de los LSBs.

cada capacitor en la red CDAC (a partir de los resultados de conversión) y corrige los errores con los pesos calibrados. Este método es muy popular porque es en el dominio digital, sin retroalimentación a los circuitos analógicos. Con las técnicas digitales se han alcanzado valores de hasta 105 dB de SFDR [22].

También se ha apostado por el *Mismatch Error Shaping* (MES). Esta es una implementación analógica y se han reportado valores de hasta 105 dB de SFDR [42]. Su principio de operación se centra en que el error por mismatch es retroalimentado y conformado con una función de filtrado pasa-altas,  $(1 - z^{-1})$ . Para lograrlo, la clave es preestablecer los LSBs de CDAC en NS SAR antes del muestreo, de modo que el error de mismatch de conversiones anteriores se capture durante el muestreo, como se aprecia en la Fig. 28. Nótese que el MSB no se retroalimenta, *i.e.*, se conserva de manera natural a GND, ya que se supone que es una referencia precisa. Después se resetean los LSBs y la conversión natural continua [24]. La idea general es que los LSBs preestablecidos de la conversión anterior se resten luego de la señal actual [12] y se consiga el conformado de 1<sup>er</sup> orden (17). También, se

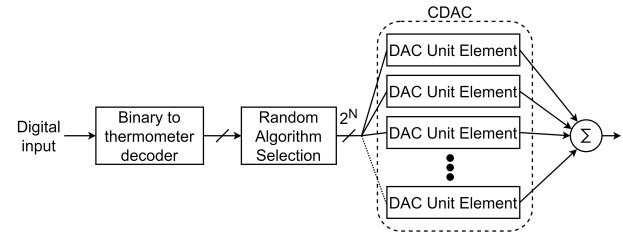


FIGURE 29. Proceso del DEM.

pueden añadir LSBs de redundancia para corregir el llamado *DAC settling*.

$$V_o(n) = V_{in}(n) + E(n) - E(n-1). \quad (17)$$

Un inconveniente de utilizar MES, es el llamado *overrange*, producido por el voltaje extra que es añadido a la entrada del convertidor, que en teoría no se debiera exceder los límites del  $V_{LSB}$  de  $-1/2V_{ref}$  y  $+1/2V_{ref}$  [43]. Es por ello que las recientes técnicas de MES han adoptado un proceso predictivo de dos o tres niveles para corregir el *overrange* y compensar el voltaje extra. En los trabajos de MES de 1<sup>er</sup> orden reportados en [17, 43] se han obtenido valores de 98 dB de SFDR; se ha demostrado también que se puede realizar un conformado de 2<sup>do</sup> orden a costa de hardware un poco más complejo, pudiéndose llegar a valores tan altos de SFDR como 122 dB [44]. Recientemente se ha explorado otras alternativas, como el uso de la técnica de doble muestreo [42], además de pre-comparación [45] que han reportado valores de 104.5 dB y 103 dB, respectivamente.

Una alternativa para la corrección de mismatch en NS SAR es *Dynamic Element Matching* (DEM), que utiliza algoritmos para la selección de componentes unitarios y realizar un promedio de los elementos. La Fig. 29 ilustra el funcionamiento del DEM, donde la señal digital de salida del SAR ADC se codifica a una escala termométrica, y luego con el algoritmo implementado se aplica la selección de componentes unitarios mediante la activación de interruptores. Nótese que la implementación puede ser excesiva conforme el número de bits incrementa. Destaca también *Data Weighted Averaging* (DWA), pero también existen las técnicas *Butterfly Randomization*, *Individual Level Averaging* y *Tree Structure*. Por ejemplo, una combinación de DEM y Dither reportada en Ref. [25] reportó 112 dB de SFDR, donde la desventaja es un BW pobre, de sólo 2 kHz. Sin embargo, otros trabajos [31, 46, 47] con DWA han reportado resultados interesantes. El principio de funcionamiento del DWA se basa en la selección de elementos de manera rotativa, de manera que el valor de salida del CDAC es la suma de los elementos unitarios que son seleccionados cíclicamente. La selección cíclica asegura que el error de mismatch se promedie lo más rápido posible, de tal manera que se modulen con una función de filtrado pasa-altas, tipo  $(1 - z^{-1})$ , como se describe en (18) [48]. La Fig. 30 presenta un ejemplo del algoritmo DWA para un DAC de 3 bits, que corresponde a 8 elementos unitarios. En cada ciclo la selección del primer elemento del conjunto se realiza a partir del elemento que sigue después

Cycle	Bin. Input	DAC element unit							
		1	2	3	4	5	6	7	8
1	001	●							
2	011		●	●	●				
3	010					●	●		
4	100	●	●					●	●
5	101			●	●	●	●	●	

FIGURE 30. Selección de elementos unitarios utilizando DWA.

del último elemento seleccionado del ciclo anterior (por ejemplo, en el primer ciclo el código de entrada es 1, y en el segundo ciclo es 3, pero se seleccionan 3 elementos a partir del elemento 1, es decir, desde el elemento 2 al 4), por eso usualmente se implementa el concepto del “apuntador” para el análisis, porque en cada nuevo ciclo de conversión el apuntador se actualiza, y es necesario conocer el valor del último elemento seleccionado, de tal manera que el error actual se reste al error pasado. Una descripción puntual puede encontrarse en Ref. [49]. Ahora bien, se han usado combinaciones de ambas técnicas, DWA para los bits más significativos y MES para los menos significativos, y así compensar las desventajas de cada uno. Algunos de los trabajos más significativos que incorporan esta combinación de técnicas y que

$$V_o(z) = V_{in}(z) + (1 - z^{-1})E(z), \quad (18)$$

TABLA V. Resumen/comparativa de las técnicas de corrección del Mismatch en el CDAC.

Referencia	Técnica de calibración	SFDR [dB]
Li 2018 [16]	Background LMS	89
Zhuang 2019 [28]	Background LMS	90
Jie 2020 [51]	LUT Foreground	102.8
Liu 2021 [22]	Foreground	104.4
Wang 2021 [35]	Foreground LMS	103
Liu 2019 [44]	MES	122*
Yang 2022 [42]	MES	104.5
Li 2021 [43]	MES	98
Shen 2022 [45]	MES	103
Li 2022 [17]	MES	98
Obata 2016 [25]	DEM + Dither	112
Miyahara 2017 [52]	Binary mode DEM	84.3
CC Liu 2017 [46]	DWA	92.2
Zhang 2020 [47]	DWA	97.34
Zhang 2021 [31]	DWA	92.9
Shu 2016 [24]	MES + DWA	105.1
Liu 2020 [27]	MES + DWA	102.2
Hasebe 2022 [50]	MES + DWA	108.5

\*Dato de simulación de un MES de  $2^{do}$  orden.

han alcanzado valores sobresalientes son [24, 27, 50]. Este último alcanzó SFDR de 108.5 dB en un BW de 100 kHz. La Tabla V resume las principales implementaciones de acuerdo a la técnica utilizada y el valor de SFDR alcanzado.

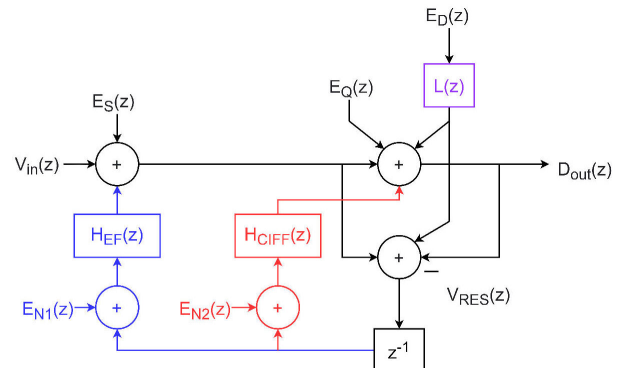
### 3.2. Posibilidades de corrección de mismatch en CDAC: NS DEM

El diagrama a bloques del NS SAR con las distintas fuentes de error, se presenta en la Fig. 31.  $E_S(z)$  es el error de muestreo (principalmente ruido kT/C);  $E_Q(z)$  representa los errores de cuantización, el ruido del comparador y del DAC *settling*;  $E_D(z)$  es el error del mismatch del DAC y  $E_{N1}(z)$  y  $E_{N2}(z)$  son los errores de ruido referidos a la entrada de los propios filtros. La función de transferencia de la señal,  $STF(z)$ , la función de transferencia del ruido,  $NTF_S(z)$  (asociado a  $E_S(z)$ ), y  $NTF_D(z)$  (asociada a  $E_D(z)$ ), son iguales a la unidad. Independientemente si la opción del filtro EF o CIFF es utilizada, nótese cómo al ser  $NTF_D(z) = 1$  el error de mismatch no es conformado. Ahora bien, si se añade un bloque  $L(z)$ , la función de transferencia del ruido referido al error de mismatch  $E_D(z)$  sería descrita por (19). Si ese bloque presenta una función pasa-altas,  $(1 - z^{-1})$ , el error del mismatch puede situarse fuera del ancho de banda de interés. El reto se centra en la síntesis de circuitos para  $L(z)$ , que debieran añadirse al sistema para que modele ese filtro. Esta idea ya fue aplicada a un modulador  $\Delta - \Sigma$  [53] utilizando un integrador y un diferenciador. Otras ideas que pudieran resultar novedosas se centran en la aplicación del MES a un CDAC con estructura *bottom plate sampling*. Asimismo se tienen reportes de la aplicación del DEM de órdenes mayores para moduladores  $\Delta - \Sigma$ , pero no se ha reportado alguna implementación para SAR ADCs.

$$NTF_D(z) = \frac{D_{out}(z)}{E_D(z)}. \quad (19)$$

### 3.3. Ruido kT/C, flicker y ruido en el comparador

El ruido kT/C es otro problema donde se enfocan los esfuerzos para obtener mejores métricas. Durante el proceso de

FIGURE 31. Diagrama a bloques de un NS SAR con las distintas fuentes de error. El bloque  $L(z)$  que se añade al error,  $E_D(z)$ , pretende conformar el ruido.

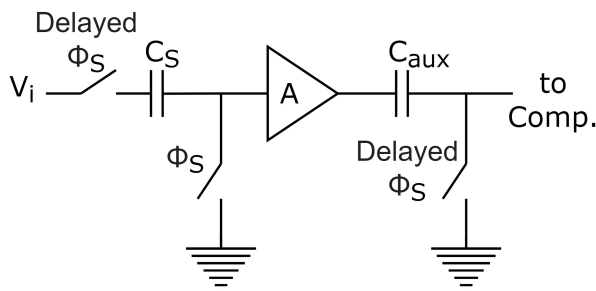


FIGURE 32. Técnica de cancelación activa para la reducción de ruido  $kT/C$ .

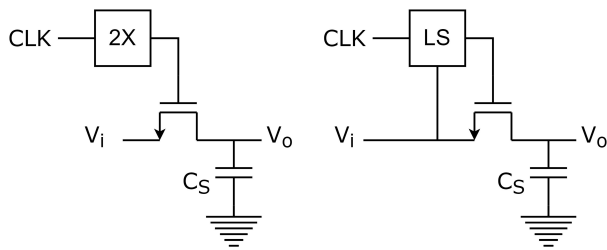


FIGURE 33. Técnicas para el mejoramiento del proceso de muestreo a) *Clock boosting* y b) *Bootstrapping*.

de muestreo, el ruido térmico con una potencia total  $kT/C$  se añade a la señal muestreada. Las soluciones incluyen el diseño de un *buffer* en la entrada [54] para aliviar la carga en la fuente de entrada, incrementar el valor de los capacitores unitarios y cancelación activa (Fig. 32) [55]. También se ha apostado por soluciones para mejorar el grado de linealidad incidiendo en el diseño del interruptor CMOS con las técnicas *clock boosting* [56] y *bootstrapping* [57], Fig. 33a)-b), respectivamente.

El ruido en el comparador es otro problema de interés, porque puede ser factor limitante en la resolución del cuantizador. Se han aplicado esquemas de “votación” de dos o tres niveles (*Tri-Level Voting*) para reducir el ruido. Esta técnica es preferida sobre *Majority Voting* [28], porque aprovecha más información en las estadísticas de salida del comparador y proporciona un nivel de decisión adicional, y porque en los últimos dos ciclos de conversión (correspondientes al LSB), dispararán repetidamente el comparador 4 veces por cada bit, luego determinarán el resultado. Al hacerlo, el ruido del comparador se suprime a través de un promediado [19].

Otra técnica para la reducción del ruido en el comparador es la adecuada selección de la arquitectura del comparador (como un transconductor *chopped*), donde se incorporan interruptores que generan un modulador de onda cuadrada, también conocido como modulación *chopping* [58], de tal manera que se desplace el espectro de bajas frecuencias fuera del BW. El *offset* se amplifica, pasa por el modulador y se elimina con un filtro pasa-bajas. La desventaja de esta técnica es que la señal cuadrada añadida tiene que ser exactamente del 50% *duty cycle*, para que no aporte una señal de DC residual; también se generan *glitches* por efecto de la inyección de carga y el acoplamiento de los relojes del sistema. Un

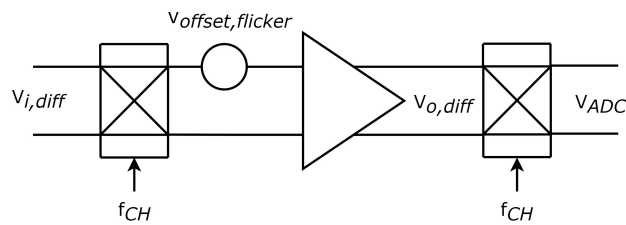


FIGURE 34. Esquema general de la modulación *chopping*.

Un esquema de esta técnica puede apreciarse en la Fig. 34. En un NS SAR se ha utilizado en el *buffer* de entrada y en el filtro IIR [24].

#### 4. Tendencias y línea de trabajo actual

Es un hecho que para ciertas aplicaciones críticas, donde el consumo de potencia es un requisito no negociable, los convertidores NS SAR son una alternativa disruptiva, y de hecho hoy día puede considerarse a NS SAR como un sustituto natural de moduladores convencionales  $\Delta - \Sigma$  de tiempo discreto [12]. Sin embargo, a pesar de su gran característica de bajo consumo de potencia, para aplicaciones principalmente de comunicaciones, se requiere un BW más amplio y una resolución mayor. Por ello, se ha apostado también por aproximaciones donde se realicen hibridaciones de arquitecturas, y sin duda en el futuro se verán implementaciones con mayor BW, bajo consumo de potencia, y dispositivos que superen la barrera de los 100 dB de SNR, y será viable en la medida que se pueda incrementar el orden de NTF de manera estable y se desarrolle robustez en arquitecturas como EF y CIFF; la tendencia apunta a las arquitecturas híbridas basadas en SAR-VCO, *Pipelined-SAR* y SAR-TI. De esta última, se han desarrollado soluciones para incrementar la frecuencia de muestreo sin perder BW. La idea básica de TI es tener más de un ADC, y operar múltiples canales de conexión y superponer sus conversiones [60]. Otra idea que puede madurarse

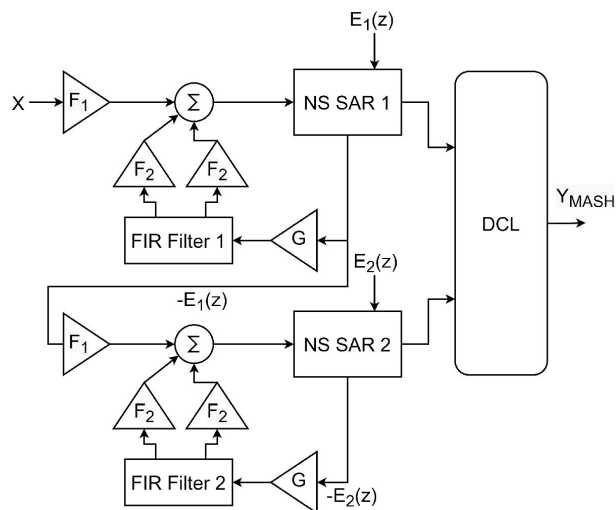


FIGURE 35. NS SAR MASH 2-2 de 4<sup>to</sup> orden sin OTA [59].

es utilizar al NS SAR como cuantizador en un modulador  $\Delta - \Sigma$  de tiempo continuo [61] y mejorar el desempeño del ADC. Sin duda, la idea para conseguir NTFs de órdenes mayores que más directrices ha reportado recientemente han sido arquitecturas NS SAR Multi stAge noise SHaping (MASH). La Fig. 35 muestra el esquemático de un MASH 2-2 sin OTA [59] basado en una estructura EF que ha alcanzado una NTF de 4<sup>to</sup> orden en un BW de 500 kHz. De igual manera, otros trabajos interesantes de MASH han sido reportados en [62, 63]. No debe dejarse tampoco de lado las implementaciones *Incremental NS SAR*, que pueden ser arquitecturas promisorias en un futuro cercano [64, 65].

Resulta también interesante cómo el uso de *buffers* se ha vuelto un circuito indispensable y cómo se ha usado *Dynamic Level Shifting* en un NS SAR de subrango [54] para ajustar la salida del *buffer*, además de aplicar una corrección al llama-

do *Inter-Symbol-Interference* (ISI) que ocasiona también el mismatch del CDAC. Se propone esta técnica de corrección para mejorar más la linealidad. El trabajo de tipo pasa-banda presentado en Ref. [40] es notable porque permite configurar tanto la frecuencia central del conformado del ruido, como la banda de paso de la señal a cualquiera de 8 sub-bandas igualmente divididas en la primera banda de Nyquist. En cuanto a las técnicas de corrección de mismatch, no se descarta la implementación de algoritmos DEM/DWA de mayor orden o técnicas como Segmented DEM aplicados a NS SAR.

## Agradecimientos

David Rivera-Orozco agradece a CONACYT la beca de doctorado concedida para el periodo 2021-2025.

1. C. Choi and J.-W. Lee, An 11.8-fJ/Conversion-Step Noise Shaping SAR ADC with Embedded Passive Gain for Energy-Efficient IoT Sensors, *Sensors* 22 (2022), <https://doi.org/10.3390/s22030869>.
2. D. Chen *et al.*, A Survey on Analog-to-Digital Converter Integrated Circuits for Miniaturized High Resolution Ultrasonic Imaging System, *Micromachines* 13 (2022), <https://doi.org/10.3390/mi13010114>.
3. L. B. Leene, S. Letchumanan, and T. G. Constandinou, A 68 $\mu$ W 31kS/s Fully-Capacitive Noise-Shaping SAR ADC with 102 dB SNDR, In 2019 IEEE International Symposium on Circuits and Systems (ISCAS) (2019) pp. 1-5, <https://doi.org/10.1109/ISCAS.2019.8702504>.
4. R. Lu and M. P. Flynn, A 300MHz-BW 38mW 37dB/40dB SNDR/DR Frequency-Interleaving Continuous-Time Bandpass Delta-Sigma ADC in 28nm CMOS, In 2021 Symposium on VLSI Circuits (2021) pp. 1-2, <https://doi.org/10.23919/VLSICircuits52068.2021.9492383>.
5. M. Bolatkale *et al.*, A 4GHz CT  $\Delta\Sigma$  ADC with 70dB DR and 74dBFS THD in 125MHz BW, In 2011 IEEE International Solid-State Circuits Conference (2011) pp. 470-472, <https://doi.org/10.1109/ISSCC.2011.5746401>.
6. B. P. Ginsburg and A. P. Chandrakasan, Highly Interleaved 5b 250MS/s ADC with Redundant Channels in 65nm CMOS, In 2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers (2008) pp. 240-610, <https://doi.org/10.1109/ISSCC.2008.4523146>.
7. L. Kull *et al.*, A 10-Bit 20-40 GS/S ADC with 37 dB SNDR at 40 GHz Input Using First Order Sampling Bandwidth Calibration, In 2018 IEEE Symposium on VLSI Circuits (2018) pp. 275-276, <https://doi.org/10.1109/VLSIC.2018.8502268>.
8. Z. Zheng *et al.*, 16.3 A Single-Channel 5.5mW 3.3GS/s 6b Fully Dynamic Pipelined ADC with Post-Amplification Residue Generation (2020) pp. 254-256, <https://doi.org/10.1109/ISSCC19947.2020.9062895>.
9. B. Murmann, ADC Performance Survey 1997-2021 (2021), <https://web.stanford.edu/~murmann/adcsurvey.html>, Last accessed 15 July 2022.
10. Y.-Z. Lin *et al.*, 20.2 A 40MHz-BW 320MS/s Passive Noise-Shaping SAR ADC With Passive Signal-Residue Summation in 14nm FinFET, In 2019 IEEE International Solid-State Circuits Conference - (ISSCC) (2019) pp. 330-332, <https://doi.org/10.1109/ISSCC.2019.8662299>.
11. G. M. Salgado, D. O'Hare, and I. O'Connell, Recent Advances and Trends in Noise Shaping SAR ADCs, *IEEE Transactions on Circuits and Systems II: Express Briefs* 68 (2021) 545, <https://doi.org/10.1109/TCSII.2020.3046170>.
12. L. Jie *et al.*, An Overview of Noise-Shaping SAR ADC: From Fundamentals to the Frontier, *IEEE Open Journal of the Solid-State Circuits Society* 1 (2021) 149, <https://doi.org/10.1109/OJSSCS.2021.3119910>.
13. Z. Chen, M. Miyahara, and A. Matsuzawa, A 9.35-ENOB, 14.8 fJ/conv.-step fully-passive noise-shaping SAR ADC, In 2015 Symposium on VLSI Circuits (VLSI Circuits) (2015) pp. C64-C65, <https://doi.org/10.1109/VLSIC.2015.7231329>.
14. P. Yi *et al.*, A Unity-Gain Buffer Assisted Noise-Shaping SAR ADC Based on Error-Feedback Structure, *Chinese Journal of Electronics* 31 (2022) 658, <https://doi.org/10.1049/cje.2020.00.286>.
15. P. Yi *et al.*, A 625kHz-BW, 79.3dB-SNDR Second-Order Noise-Shaping SAR ADC Using High-Efficiency Error-Feedback Structure, *IEEE Transactions on Circuits and Systems II: Express Briefs* 69 (2022) 859, <https://doi.org/10.1109/TCSII.2021.3121245>.
16. S. Li *et al.*, A 13-ENOB Second-Order Noise-Shaping SAR ADC Realizing Optimized NTF Zeros Using the Error-Feedback Structure, *IEEE Journal of Solid-State Circuits* 53 (2018) 3484, <https://doi.org/10.1109/JSSC.2018.2871081>.

17. H. Li *et al.*, A  $7.3\text{-}\hat{I}_{4}^{1}$ W13-ENOB 98-dB SFDR Noise-Shaping SAR ADC With Duty-Cycled Amplifier and Mismatch Error Shaping, *IEEE Journal of Solid-State Circuits* **57** (2022) 2078, <https://doi.org/10.1109/JSSC.2022.3168588>.
18. J. Fredenburg and M. Flynn, A 90MS/s 11MHz bandwidth 62dB SNDR noise-shaping SAR ADC, In *2012 IEEE International Solid-State Circuits Conference* (2012) pp. 468-470, <https://doi.org/10.1109/ISSCC.2012.6177094>.
19. S. Li *et al.*, *Noise-Shaping SAR ADCs*, pp. 21-40 (2020), [https://doi.org/10.1007/978-3-030-25267-0\\_2](https://doi.org/10.1007/978-3-030-25267-0_2).
20. H. Garvik, C. Wulff, and T. Ytterdal, An 11.0 bit ENOB, 9.8 fJ/conv.-step noise-shaping SAR ADC calibrated by least squares estimation, In *2017 IEEE Custom Integrated Circuits Conference (CICC)* (2017) pp. 1-4, <https://doi.org/10.1109/CICC.2017.7993659>.
21. X. Tang *et al.*, A 13.5-ENOB,  $107\text{-}\hat{I}_{4}^{1}$  W Noise-Shaping SAR ADC With PVT-Robust Closed-Loop Dynamic Amplifier, *IEEE Journal of Solid-State Circuits* **55** (2020) 3248, <https://doi.org/10.1109/JSSC.2020.3020194>.
22. J. Liu *et al.*, 27.1 A 250kHz-BW 93dB-SNDR 4th-Order Noise-Shaping SAR Using Capacitor Stacking and Dynamic Buffering, In *2021 IEEE International Solid-State Circuits Conference (ISSCC)*, **64** (2021) 369-371, <https://doi.org/10.1109/ISSCC42613.2021.9366008>.
23. W. Wang *et al.*, A passive second-order noise-shaping SAR ADC architecture with increased freedom in NTF synthesis and relaxed clock-jitter issue, *Electronics Letters* **58** (2022) 530.
24. Y.-S. Shu, L.-T. Kuo, and T.-Y. Lo, An Oversampling SAR ADC With DAC Mismatch Error Shaping Achieving 105 dB SFDR and 101 dB SNDR Over 1 kHz BW in 55 nm CMOS, *IEEE Journal of Solid-State Circuits* **51** (2016) 2928, <https://doi.org/10.1109/JSSC.2016.2592623>.
25. K. Obata *et al.*, A 97.99 dB SNDR, 2 kHz BW, 37.1  $\mu$ W noise-shaping SAR ADC with dynamic element matching and modulation dither effect, In *2016 IEEE Symposium on VLSI Circuits (VLSI-Circuits)* (2016) pp. 1-2, <https://doi.org/10.1109/VLSIC.2016.7573463>.
26. Y. Zhang *et al.*, A 2nd-Order Noise-Shaping SAR ADC With Lossless Dynamic Amplifier Assisted Integrator, *IEEE Transactions on Circuits and Systems II: Express Briefs* **67** (2020) 1819, <https://doi.org/10.1109/TCSII.2019.2957727>.
27. J. Liu *et al.*, 9.3 A 40kHz-BW 90dB-SNDR Noise-Shaping SAR with 4x Passive Gain and 2nd-Order Mismatch Error Shaping, In *2020 IEEE International Solid-State Circuits Conference - (ISSCC)* (2020) pp. 158-160, <https://doi.org/10.1109/ISSCC19947.2020.9063159>.
28. H. Zhuang *et al.*, A Second-Order Noise-Shaping SAR ADC With Passive Integrator and Tri-Level Voting, *IEEE Journal of Solid-State Circuits* **54** (2019) 1636, <https://doi.org/10.1109/JSSC.2019.2900150>.
29. T. Kim and Y. Chae, A 2MHz BW Buffer-Embedded Noise-Shaping SAR ADC Achieving 73.8dB SNDR and 87.3dB SFDR, In *2019 IEEE Custom Integrated Circuits Conference (CICC)* (2019) pp. 1-4, <https://doi.org/10.1109/CICC.2019.8780230>.
30. B. Hernes, *et al.*, A 92.5 mW 205MS/s 10b Pipeline IF ADC Implemented in 1.2 V/3.3 V 0.13( $\mu$ m CMOS, In *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers* (2007) pp. 462-615, <https://doi.org/10.1109/ISSCC.2007.373494>.
31. Q. Zhang, *et al.*, A Second-Order Noise-Shaping SAR ADC Using Two Passive Integrators Separated by the Comparator, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* **29** (2021) 227, <https://doi.org/10.1109/TVLSI.2020.3033415>.
32. W. Guo, H. Zhuang, and N. Sun, A 13b-ENOB 173dB-FoM 2nd-order NS SAR ADC with passive integrators, In *2017 Symposium on VLSI Circuits* (2017) pp. C236-C237, <https://doi.org/10.23919/VLSIC.2017.8008492>.
33. Y. Lim and M. P. Flynn, 26.1 A 1mW 71.5dB SNDR 50MS/S 13b fully differential ring-amplifier-based SAR-assisted pipeline ADC, In *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers* (2015) pp. 1-3, <https://doi.org/10.1109/ISSCC.2015.7063124>.
34. L. Jie *et al.*, 9.4 A 4th-Order Cascaded-Noise-Shaping SAR ADC with 88dB SNDR Over 100kHz Bandwidth, In *2020 IEEE International Solid-State Circuits Conference - (ISSCC)* (2020) pp. 160-162, <https://doi.org/10.1109/ISSCC19947.2020.9062905>.
35. T.-H. Wang, *et al.*, 27.3 A 13.8-ENOB 0.4pF-CIN 3rd-Order Noise-Shaping SAR in a Single-Amplifier EF-CIFF Structure with Fully Dynamic Hardware-Reusing kT/C Noise Cancellation, In *2021 IEEE International Solid-State Circuits Conference (ISSCC)*, **64** (2021) 374-376, <https://doi.org/10.1109/ISSCC42613.2021.9365990>.
36. Q. Zhang *et al.*, A 13-Bit ENOB Third-Order Noise-Shaping SAR ADC Employing Hybrid Error Control Structure and LMS-Based Foreground Digital Calibration, *IEEE Journal of Solid-State Circuits* **57** (2022) 2181, <https://doi.org/10.1109/JSSC.2021.3137540>.
37. T. Wang *et al.*, An 84dB-SNDR Low-OSR 4th-Order Noise-Shaping SAR with an FIA-Assisted EF-CRFF Structure and Noise-Mitigated Push-Pull Buffer-in-Loop Technique, In *2022 IEEE International Solid-State Circuits Conference (ISSCC)*, **65** (2022) 418-420, <https://doi.org/10.1109/ISSCC42614.2022.9731771>.
38. X. Fu and K. El-Sankary, A 14.5-Bit ENOB, 10MS/s SAR ADC With 2nd Order Hybrid Passive-Active Resonator Noise Shaping, *IEEE Access* **10** (2022) 54589, <https://doi.org/10.1109/ACCESS.2022.3176359>.
39. G. M. Salgado, D. O'Hare, and I. O'Connell, Modeling and Analysis of Error Feedback Noise-Shaping SAR ADCs, In *2020 IEEE International Symposium on Circuits and Systems (ISCAS)* (2020) pp. 1-5, <https://doi.org/10.1109/ISCAS45731.2020.9180995>.
40. Z. Jiao *et al.*, A Configurable Noise-Shaping Band-Pass SAR ADC With Two-Stage Clock-Controlled Amplifier, *IEEE Transactions on Circuits and Systems I: Regular Papers* **67** (2020) 3728, <https://doi.org/10.1109/TCSI.2020.3012998>.

41. J. A. McNeill *et al.*, All-Digital Background Calibration of a Successive Approximation ADC Using the “Split ADC” Architecture, *IEEE Transactions on Circuits and Systems I: Regular Papers* **58** (2011) 2355, <https://doi.org/10.1109/TCSI.2011.2123590>.
42. C. Yang *et al.*, A 98.6 dB SNDR SAR ADC With a Mismatch Error Shaping Technique Implemented With Double Sampling, *IEEE Transactions on Circuits and Systems II: Express Briefs* **69** (2022) 774, <https://doi.org/10.1109/TCSII.2021.3112501>.
43. H. Li *et al.*, An 80dB-SNDR 98dB-SFDR Noise-Shaping SAR ADC with Duty-Cycled Amplifier and Digital-Predicted Mismatch Error Shaping, In *ESSCIRC 2021 - IEEE 47th European Solid State Circuits Conference (ESSCIRC)* (2021) pp. 387- 390, <https://doi.org/10.1109/ESSCIRC53450.2021.9567748>.
44. J. Liu *et al.*, Error-Feedback Mismatch Error Shaping for High-Resolution Data Converters, *IEEE Transactions on Circuits and Systems I: Regular Papers* **66** (2019) 1342, <https://doi.org/10.1109/TCSI.2018.2879582>.
45. Y. Shen *et al.*, A 103-dB SFDR Calibration-Free Oversampled SAR ADC With Mismatch Error Shaping and Pre- Comparison Techniques, *IEEE Journal of Solid-State Circuits* **57** (2022) 734, <https://doi.org/10.1109/JSSC.2021.3135559>.
46. C.-C. Liu and M.-C. Huang, 28.1 A 0.46mW 5MHz-BW 79.7dB-SNDR noise-shaping SAR ADC with dynamic amplifier- based FIR-IIR filter, In *2017 IEEE International Solid-State Circuits Conference (ISSCC)* (2017) pp. 466-467, <https://doi.org/10.1109/ISSCC.2017.7870463>.
47. Q. Zhang, et al., A second-order noise-shaping SAR ADC with error-feedback structure and data weighted averaging, *Microelectronics Journal* **105** (2020) 104905, <https://doi.org/10.1016/j.mejo.2020.104905>.
48. M. Neitola and T. Rahkonen, A Generalized Data-Weighted Averaging Algorithm, *IEEE Transactions on Circuits and Systems II: Express Briefs* **57** (2010) 115, <https://doi.org/10.1109/TCSII.2010.2040313>.
49. L. Baltierra, Análisis y diseño de un sistema de corrección dinámica híbrida para un modulador sigma delta multi-bit pasabanda, Master’s thesis, Universidad Autónoma de Baja California (2018), <https://repositorioinstitucional.uabc.mx/handle/20.500.12930/2144>.
50. K. Hasebe *et al.*, A 100kHz-Bandwidth 98.3dB-SNDR Noise-Shaping SAR ADC with Improved Mismatch Error Shaping and Speed-Up Techniques, In *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)* (2022) pp. 56-57, <https://doi.org/10.1109/VLSITechnologyandCir46769.2022.9830166>.
51. L. Jie *et al.*, A Cascaded Noise-Shaping SAR Architecture for Robust Order Extension, *IEEE Journal of Solid-State Circuits* **55** (2020) 3236, <https://doi.org/10.1109/JSSC.2020.3019487>.
52. M. Miyahara and A. Matsuzawa, An 84 dB dynamic range 62.5-625 kHz bandwidth clock-scalable noise-shaping SAR ADC with open-loop integrator using dynamic amplifier, In *2017 IEEE Custom Integrated Circuits Conference (CICC)* (2017) pp. 1-4, <https://doi.org/10.1109/CICC.2017.7993655>.
53. J. Chen and Y. P. Xu, A novel noise-shaping DAC for multi-bit sigma-delta modulator, *IEEE Transactions on Circuits and Systems II: Express Briefs* **53** (2006) 344, <https://doi.org/10.1109/TCSII.2006.869920>.
54. Y. Guo *et al.*, A 60-MS/s 5-MHz BW Noise-Shaping SAR ADC With Integrated Input Buffer Achieving 84.2-dB SNDR and 97.3-dB SFDR Using Dynamic Level-Shifting and ISI-Error Correction, *IEEE Journal of Solid-State Circuits* (2022) 1, <https://doi.org/10.1109/JSSC.2022.3185501>.
55. R. Kapusta, H. Zhu, and C. Lyden, Sampling Circuits That Break the kT/C Thermal Noise Limit, *IEEE Journal of Solid-State Circuits* **49** (2014) 1694, <https://doi.org/10.1109/JSSC.2014.2320465>.
56. T. Cho and P. Gray, A 10 b, 20 Msample/s, 35 mW pipeline A/D converter, *IEEE Journal of Solid-State Circuits* **30** (1995) 166, <https://doi.org/10.1109/4.364429>.
57. A. Abo and P. Gray, A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter, *IEEE Journal of Solid-State Circuits* **34** (1999) 599, <https://doi.org/10.1109/4.760369>.
58. S. Mihai and v. T. Ed, Chopping: a technique for noise and offset reduction, pp. 101-126 (Springer US, Boston, MA, 2002), <https://doi.org/10.1007/0-306-48140-5.5>.
59. M. Akbari *et al.*, OTA-Free MASH 2-2 Noise Shaping SAR ADC: System and Design Considerations, In *2020 IEEE International Symposium on Circuits and Systems (ISCAS)* (2020) pp. 1-5, <https://doi.org/10.1109/ISCAS45731.2020.9180832>.
60. L. Jie, B. Zheng, and M. P. Flynn, 20.3 A 50MHz- Bandwidth 70.4dB-SNDR Calibration-Free Time-Interleaved 4th-Order Noise-Shaping SAR ADC, In *2019 IEEE International Solid- State Circuits Conference - (ISSCC)* (2019) pp. 332-334, <https://doi.org/10.1109/ISSCC.2019.8662313>.
61. J. Liu *et al.*, A 0.029-mm<sup>2</sup> 17-fJ/Conversion-Step Third-Order CT  $\Delta\Sigma$  ADC With a Single OTA and Second-Order Noise-Shaping SAR Quantizer, *IEEE Journal of Solid-State Circuits* **54** (2019) 428, <https://doi.org/10.1109/JSSC.2018.2879955>.
62. Y.-S. Lin, S.-J. Chang, and C.-L. Wei, A Noise-shaping SAR Assisted MASH 2-1 Sigma-Delta Modulator, In *2020 International Symposium on VLSI Design, Automation and Test (VLSI-DAT)* (2020) pp. 1-4, <https://doi.org/10.1109/VLSI-DAT49148.2020.9196468>.
63. S. Oh *et al.*, A 80dB DR 6MHz Bandwidth Pipelined Noise- Shaping SAR ADC with 1-2 MASH structure, In *2020 IEEE Custom Integrated Circuits Conference (CICC)* (2020) pp. 1-4, <https://doi.org/10.1109/CICC48029.2020.9075929>.
64. B. Gao *et al.*, Active Noise Shaping SAR ADC Based on ISDM with the 5MHz Bandwidth, In *2020 IEEE International Symposium on Circuits and Systems (ISCAS)* (2020) pp. 1- 4, <https://doi.org/10.1109/ISCAS45731.2020.9180950>.



65. V. Bajaj *et al.*, Noise Shaping Techniques for SNR Enhancement in SAR Analog to Digital Converters, *In 2020 IEEE International Symposium on Circuits and Systems (ISCAS)* (2020) pp. 1-5, <https://doi.org/10.1109/ISCAS45731.2020.9180536>.