

Diseño de amplificadores CMOS usando g_m/I_D , y su uso como un sistema de primer orden

V. H. Arzate-Palma, and F. Sandoval-Ibarra

CINVESTAV-Unidad Guadalajara,

Av. del Bosque 1145, El Bajío, 45017 Zapopan, Jalisco, México.

Received 30 December 2022; accepted 24 April 2024

En este trabajo se presenta el análisis y diseño de amplificadores diferenciales CMOS usando la aproximación de primer orden y dimensionando los transistores con la metodología g_m/I_D . Se muestra el diseño de cuatro amplificadores usando parámetros de una tecnología CMOS 130 nm, y mediante simulación spice se verifican conceptos básicos de desempeño y el cumplimiento de especificaciones. La comparación del desempeño de los amplificadores diseñados, en la síntesis de un filtro activo pasa-bajas, se hace para mostrar que los parámetros fundamentales de desempeño de cada amplificador, afecta el desempeño esperado del circuito bajo diseño, mostrando que el amplificador CMOS no es de propósito general sino que la aplicación aprovecha las características del amplificador o, alternativamente, el amplificador se diseña para satisfacer los requerimientos de la aplicación. Finalmente, si bien cada arquitectura se dimensiona usando las mismas especificaciones generales de desempeño, también es verdad que cada una presenta un desempeño global específico y único. Estas diferencias pueden obtenerse y entenderse con simulación spice, toda vez que se usan adecuadamente los recursos de la herramienta de simulación. Todos los resultados obtenidos son a temperatura ambiente.

Descriptor: Circuitos electrónicos para procesamiento de señales; amplificador CMOS; circuitos integrados; MOSFET; metodología g_m/I_D .

This paper presents the analysis and design of CMOS differential amplifiers using the first-order approach and sizing the transistors with the g_m/I_D methodology. The design of four amplifiers using 130 nm CMOS technology is shown, and through spice simulation basic concepts of performance and compliance specifications are verified. The comparison of the performance of the designed amplifiers, in the synthesis of an active low-pass filter, is made to show that the fundamental performance parameters of each amplifier, affects the expected performance of the circuit under design, showing that the CMOS amplifier is not general purpose but that the application takes advantage of the characteristics of the amplifier or, alternatively, the amplifier is designed to meet the requirements of the application. Finally, while each architecture is sized using the same general performance specifications, it is also true that each has a specific and unique overall performance. These differences can be obtained and understood with spice simulation, since the resources of the simulation tool are used properly. All results obtained are at room temperature.

Keywords: Electronic circuits for signal processing; CMOS amplifier; Integrated circuits; MOSFET; g_m/I_D methodology.

DOI: <https://doi.org/10.31349/RevMexFis.70.060901>

1. Introducción

El desarrollo de circuitos Integrados (CIs) con tecnologías nanométricas es un reto para todo diseñador. Es así porque cada día hay una demanda adicional en el desempeño de los circuitos y sistemas de las nuevas aplicaciones, sean para su inclusión en el desarrollo de circuitos para la exploración espacial, en los nuevos procesadores, en el desarrollo de sensores inteligentes, en dispositivos portátiles, para ser parte de las Tecnologías de la Información (TI) y/o el Internet de las Cosas (IC), por citar algunas [1-3]. Aún más, el diseño de circuitos analógicos se vuelve una tarea multi-objetivo por las nuevas tendencias que apuestan a la reducción en los voltajes de alimentación sin degradar la eficiencia de los sistemas, con mayores frecuencias de operación, con reducido consumo de potencia y del área de integración y operación en un amplio rango de temperatura, entre otros. En el diseño analógico, su objetivo es mapear las restricciones de acondicionamiento de señales en bloques de circuitos electrónicos que cumplan con las especificaciones de las distintas aplicaciones. Un ejemplo

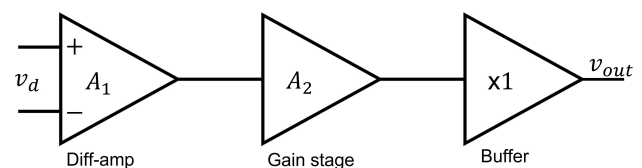


FIGURA 1. Diagrama a bloques de un amplificador de dos etapas con buffer de salida.

puede verse en la Fig. 1, donde se muestra el diagrama a bloques de un amplificador de dos etapas con *buffer* de salida. La primer etapa es un amplificador diferencial [4] y enseguida una etapa de ganancia que puede ser de mayor ganancia que la primer etapa, y por último un *buffer*. Si el amplificador es condicionado para manejar cargas capacitivas, el *buffer* no se requiere. Pero, si es condicionado para manejar cargas resistivas o cargas RC, se utiliza un *buffer* [5].

El diseño en sí es una actividad desafiante porque el proceso de diseño se enfoca en especificaciones como el rango dinámico, ruido, ganancia, fase y ancho de banda, por mencionar algunas. Éstos y más parámetros están estrechamente

relacionados con el tamaño del transistor y también con la tecnología CMOS de manufactura. La mayoría de las veces, el proceso de diseño impone compensaciones de diseño, y algunas se basan en la experiencia del diseñador y en la tecnología que se usa [6].

En la práctica, el circuito más demandante en su diseño es el amplificador CMOS tanto de transconductancia como de voltaje (OTA y OpAmp por sus siglas en inglés, respectivamente), o lo que es lo mismo, su diseño es a la medida de las especificaciones impuestas por la aplicación particular. El amplificador CMOS es un bloque fundamental en el diseño de circuitos analógicos, muy utilizado en circuitos electrónicos como los convertidores analógico-digital (ADC por sus siglas en inglés), filtros activos RC o *switched capacitor*, circuitos *sample and hold* e instrumentación, entre otros [7-10].

Dos arquitecturas de amplificadores CMOS son el amplificador de dos etapas con compensación Miller y el amplificador *folded cascode* (FC), mostrados en las Fig. 2 y 3, respectivamente. Su popularidad viene del buen balance entre ganancia, fase y ancho de banda [4,5]. En la práctica existen diversas topologías que se han reportado para diferentes aplicaciones, tanto para el amplificador Miller [11-15], como para el amplificador FC [16-20], donde explican por qué unas son eficientes en uno o varios parámetros de desempeño, pero ni una sólo se diseña para ser de propósito general. Aunado a esto, uno de los principales retos para el diseño del OTA u Op-amp es la metodología de diseño, que la mayoría de los casos se realiza con un análisis a “mano” para obtener modelos analíticos que se usan como ecuaciones de diseño, comúnmente basadas en un comportamiento LEVEL = 1 de Spice, el cual puede considerarse un comportamiento ideal [4,21]. Aún más, debido a que se manejan esas ecuaciones de diseño, el método no considera aquellos efectos no-ideales de la tecnología utilizada, llevando a redimensionar el circuito

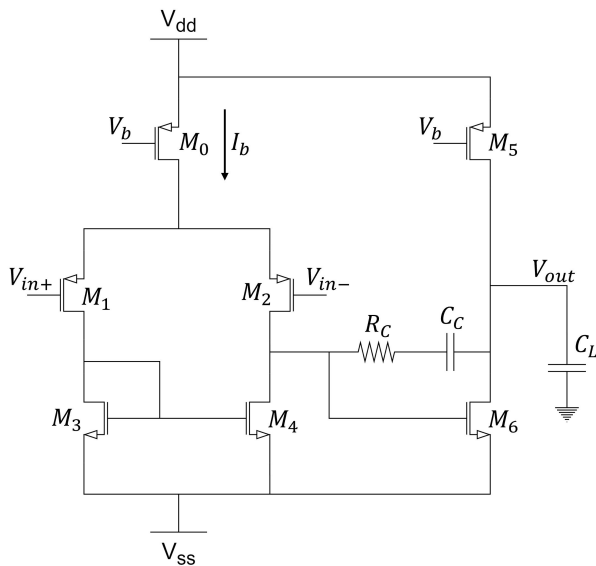


FIGURA 2. OTA Miller de salida simple.

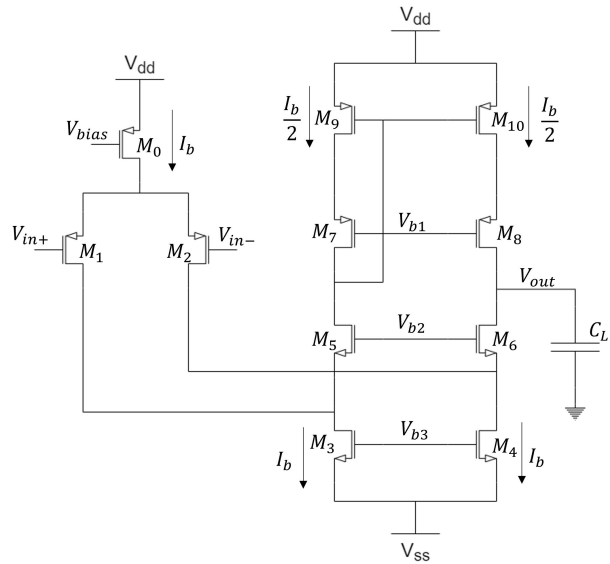


FIGURA 3. Folded Cascode OTA de salida simple.

con procedimientos prueba-y-error para alcanzar las especificaciones de diseño. En contraposición, para disminuir estas limitaciones está la metodología g_m/I_D , que se basa en la curva de eficiencia de esa relación (obtenidas del comportamiento del transistor para cualquier tecnología) y obtener los parámetros de diseño requeridos para una aplicación en particular. En el estado del arte se encuentran dos arquitecturas muy interesantes: el amplificador de dos etapas con compensación *feedforward* (CFF) [22], y el amplificador *recycling folded cascode* (RFC) [16]. Éstas son variaciones a las arquitecturas Miller y FC, respectivamente. Debido a lo anterior, este trabajo se centra en el análisis, diseño, implementación, simulación y comparación de cuatro amplificadores CMOS con salida simple. Aunque la salida completamente diferencial tiene ventajas como la inmunidad al ruido, amplio *output swing* y mayor ganancia, hay aplicaciones donde se utiliza la salida simple [23-25,4], por lo tanto en este trabajo se elige el diseño con salida simple para mostrar un análisis práctico y cómo proceder con el diseño. Lo anterior con el interés de diferenciar las ventajas y desventajas de cada amplificador, y que son diseñados con las reglas de diseño de una tecnología CMOS 130 nm. También se muestra una serie de pasos generales para el diseño, utilizando la metodología g_m/I_D , la cual considera la relación de la transconductancia g_m , y la corriente del transistor I_D , junto con la corriente de drenaje normalizada $I_D/(W/L)$ como parámetros fundamentales para explorar el espacio de diseño.

Este artículo está estructurado de la siguiente manera. En la Sec. 2 se describe el principio básico de operación del amplificador Miller. Se muestra también el resultado del análisis de pequeña señal, así como varios parámetros que describen su desempeño y que están disponibles en la literatura [4,5,11-15,21]. La Sec. 3, por otro lado, describe las ventajas de la metodología g_m/I_D así como su alcance práctico. A manera de ejemplo se definen parámetros específicos de desempeño (que han de satisfacer los amplificadores bajo di-

seño) con el propósito de mostrar cómo con la metodología se determina el dimensionamiento de cada transistor. En la Sec. 4, se muestra el diseño de un amplificador FC, donde además se describe cómo usando los recursos del simulador, se cuantifican otros parámetros de desempeño como ICMR y CMRR (del inglés *Input Common Mode Range* y *Common Mode Rejection Ratio*, respectivamente); todo ello a temperatura ambiente. En la Sec. 5 se muestra el diseño de un amplificador RFC y se incluye el impacto de las variaciones de las fuentes de alimentación en la respuesta del amplificador. Otro propósito es mostrar que el simulador permite graficar funciones analíticas basadas en curvas de desempeño específicas de los circuitos bajo diseño. Para terminar con el diseño de amplificadores, en la Sec. 6, se muestra el amplificador de dos etapas con compensación *feedforward*. Posterior a esto se realiza la comparación de resultados en la Sec. 7. Allí mismo se incluye un ejemplo de aplicación donde se muestra el efecto de los parámetros fundamentales (g_m y r_o) del OTA en el desempeño de una red de filtrado activo RC pasa-bajas cuya frecuencia de corte f_c debe ser 1 MHz. De la misma manera se muestra un filtro pasa-bajas con ganancia unitaria, cuya f_c está determinada por la carga capacitiva. El fin último es mostrar que el desempeño esperado no está definido sólo por los elementos pasivos (R y C) sino también por el amplificador. Finalmente en la Sec. 8 se presentan las conclusiones.

2. Amplificador Miller

El diseño del amplificador parte del análisis de su arquitectura para definir una estrategia de diseño con base en los parámetros de interés (ganancia, ancho de banda, *slew rate*, margen de fase, etc). Uno de los análisis más importantes es en pequeña señal, con el cual se definen expresiones en frecuencia que dan una aproximación del comportamiento del sistema y definir los parámetros bajo el control del diseñador. La arquitectura del OTA Miller se muestra en la Fig. 2, donde un par diferencial de entrada PMOS es la primera etapa de amplificación, y la etapa de salida es un amplificador de fuente común. Obsérvese que entre ambas etapas hay una red RC, la cual pudiera no requerirse y ello depende de diversos factores. Por ejemplo, si el amplificador Miller maneja una carga capacitiva C_L , es posible que el margen de fase -del amplificador en lazo abierto- no garantice la estabilidad cuando se requiera incluir un lazo de retroalimentación. Entonces, para garantizar la estabilidad, el capacitor de compensación C_c ayuda a corregir el margen de fase usando el efecto Miller [4], y cuyo valor depende del valor de la carga C_L y del dimensionamiento del amplificador. Nótese que al ser un amplificador de dos etapas, su función de transferencia puede modelarse como un sistema de segundo orden. Ahora bien, el capacitor C_c afecta la posición del polo dominante y lo mueve a bajas frecuencias (ese efecto se denomina *pole-splitting*), mientras que el polo no dominante lo mueve a frecuencias altas. Sin embargo, debido a la inclusión de C_c , el cual forma una conexión *feedforward*, pudiera dar lugar a un cero que afectará el margen de fase y en consecuencia a la estabilidad;

en un diagrama de Bode el cero se aprecia entre los polos del sistema. Cuando es el caso el cero puede ser removido al usar un resistor R_c de cancelación (del cero) en serie con C_c . Pero, muy importante, *pole-splitting* sí da lugar a un cero, pero no necesariamente aparece entre los polos. No obstante, hay quienes recomiendan el uso de R_c para eliminar al cero [5].

2.1. Análisis de pequeña señal

Este análisis se realiza con ayuda del circuito equivalente mostrado en la Fig. 4. La función de transferencia $H_M(s)$ y la ganancia en baja frecuencia $A_{DC,0}$ están dadas por (1) y (2), respectivamente [4,5]:

$$H_M(s) \approx \frac{\left(\left[C_c \left\{ R_c - \frac{1}{g_{m6}} \right\} \right] s + 1 \right) A_{DC,0}}{s^2 (C_L C_c R_b (R_c + R_a)) + s (C_c R_T) + 1}, \quad (1)$$

$$A_{DC,0} = g_{m_{ef}} r_o, \quad (2)$$

donde $g_{m_{ef}} = g_{m2} g_{m6} R_a$ es la transconductancia efectiva del amplificador; $R_T = g_{m6} R_a R_b$ es la impedancia equivalente; R_a y R_b son impedancias de salida de la primera etapa y segunda etapa, respectivamente, y $r_o = R_b$ es la impedancia de salida del amplificador, y están definidas en la Tabla I.

El primer polo ω_{s1} definido por la Ec. (3), es el polo dominante y está controlado mayoritariamente por el capacitor de compensación C_c , donde vemos que si éste aumenta su valor, ω_{s1} se desplaza a frecuencias menores. Por el contrario, el segundo polo ω_{s2} , definido por la Ec. (4), está controlado en mayor porcentaje por el capacitor de carga C_L .

$$\omega_{s1} \approx \frac{1}{C_c R_T}, \quad (3)$$

$$\omega_{s2} \approx \frac{g_{m6}}{C_L}. \quad (4)$$

Es importante señalar que para el diseño del amplificador Miller, debido al valor de la carga capacitiva ($C_L = 1$ pF) y considerando la relación (9), es conveniente utilizar un resis-

TABLA I. Definición de elementos del circuito equivalente del amplificador Miller.

$$\begin{aligned} R_a &= 1/(g_{ds2} + g_{ds4}) \\ R_b &= 1/(g_{ds5} + g_{ds6}) \\ C_a &= C_{db2} + C_{gd4} + C_{gs6} \end{aligned}$$

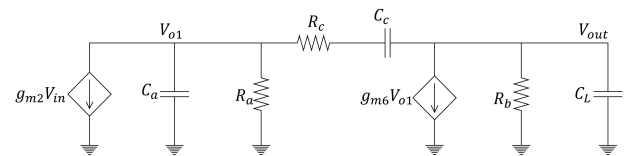


FIGURA 4. Circuito equivalente en pequeña señal del amplificador Miller; los transistores operan en saturación y polarizados en fuerte inversión.

tor de cancelación para propósitos ilustrativos. Si bien es sabido que la implementación de resistores en silicio, tiende a consumir un área mayor de diseño, R_c puede ser implementado fácilmente con un transistor NMOS operando en la región lineal [5]. El cero ω_z está representado por la Ec. (5), y se observa que se desplaza a frecuencias altas si $R_c = 1/g_{m6}$:

$$\omega_z \approx \frac{1}{C_c \left(R_c - \frac{1}{g_{m6}} \right)}, \quad (5)$$

donde g_{m6} es la transconductancia del transistor M_6 . Por otro lado, el producto ganancia-ancho de banda (GBW), el margen de fase (PM), slew rate (SR) y C_c , están determinadas por las Ecs. (6), (7), (8) y (9), respectivamente [4,5]:

$$GBW = \frac{g_{m2}}{C_c}, \quad (6)$$

$$PM \approx 90 - \tan^{-1} \left(\frac{GBW}{\omega_{s2}} \right), \quad (7)$$

$$SR = \frac{I_b}{C_c}, \quad (8)$$

$$C_c \geq 0.22CL, \quad (9)$$

donde I_b es la corriente de polarización. Estos parámetros, (6)-(9), son de interés porque representan la base de las especificaciones de diseño del amplificador. Es importante señalar que estas expresiones son válidas debido a que (como se comentó) se realizó un análisis para identificar los polos ω_{s1} y ω_{s2} , y considerando que este último se sitúa a una frecuencia mayor a la frecuencia de transición ω_T , entonces la función $H_M(s)$ puede aproximarse a un sistema de primer orden con ω_{s1} como polo dominante:

$$H_M(s) \approx \frac{A_{DC,0}}{1 + \frac{s}{\omega_{p1}}}, \quad (10)$$

válido para todas las frecuencias que satisfacen $|s| < \omega_T$, y donde $A_{DC,0}$ es la ganancia a lazo abierto a muy baja frecuencia. En esta condición, el ancho de banda está definido por la frecuencia ω_{p1} y es donde la ganancia $A_{DC,0}$ pierde 3 dB, en consecuencia puede demostrarse que en la aproximación de 1^{er} orden, la frecuencia de transición, o de 0 dB, se obtiene con el producto de la ganancia y el ancho de banda. A partir de aquí el diseñador debe desarrollar una estrategia de diseño con base en diferentes parámetros para alcanzar los objetivos de diseño. Una estrategia aquí propuesta es usar la metodología g_m/I_D para realizar el dimensionamiento de los transistores.

3. Metodología g_m/I_D

Es una técnica de diseño semi-empírica, sustentada en la información de las curvas de desempeño obtenidas de la simulación eléctrica del transistor MOS, entre las cuales las más importantes son la eficiencia del transistor g_m/I_D y la densidad de corriente normalizada $I_D/(W/L)$, cuya gráfica se

puede ver en la Fig. 5 y se obtuvo según se indica en Ref. [26]. Considerando que la relación g_m/I_D y la corriente normalizada $I_D/(W/L)$ son independientes de las dimensiones del transistor Ref. [27], la relación entre éstas es una característica única para todos los transistores del mismo tipo (NMOS o PMOS) en una tecnología específica. De este modo, la obtención de las curvas características de los transistores NMOS y PMOS se obtienen considerando una longitud de canal L particular (para este trabajo $L = 360$ nm). La relación g_m/I_D es un indicador de las regiones de operación (débil, moderada y fuerte inversión), y cada una de éstas presenta características diferentes. Para la región de débil inversión se obtiene una mayor eficiencia de corriente, un rango amplio de voltaje de salida, pero se obtiene una frecuencia ω_T baja y transistores con dimensiones grandes. Para fuerte inversión se logra mayor velocidad de operación con ω_T grande y dimensiones pequeñas del transistor, pero con una eficiencia pobre de corriente y un bajo rango de voltaje de salida. Una buena relación entre velocidad, ganancia y dimensiones del transistor se encuentra en la región moderada, la cual es una buena opción de operación del transistor. Por lo anterior, es importante señalar que los rangos en las regiones de operación serán diferentes dependiendo de la tecnología CMOS utilizada [26,27]. Para el presente trabajo las curvas mostradas en la Fig. 5 incluye los rangos de las regiones que se muestran en la Tabla II, y son obtenidas usando Cadence para una tecnología CMOS 130 nm.

Esta cualidad de la curva g_m/I_D vs I_D/W puede ser ampliamente usada durante la fase de diseño cuando la razón W/L es desconocida [28]. Esta técnica favorece que el diseñador, una vez determinada la región de operación, dimensione al transistor. Entonces para determinar sus dimensiones físicas, el diseñador sólo requiere conocer la densidad de corriente I_D/W , la eficiencia del transistor g_m/I_D y la co-

TABLA II. Regiones de operación del transistor MOS.

Región de operación	Eficiencia de transistor (g_m/I_D)
Fuerte	< 10
Moderada	$22 > g_m/I_D > 10$
Débil	> 22

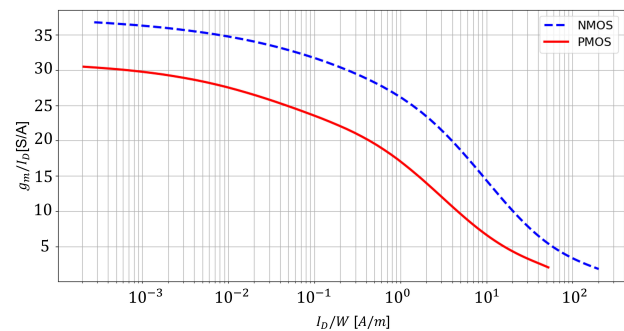


FIGURA 5. Característica g_m/I_D vs I_D/W , simulada en tecnología CMOS 130 nm.

corriente I_D que circulará por éste [26,27]. En Ec. (11) se describe la relación entre la corriente I_D^* , la eficiencia del transistor $(g_m/I_D)^*$ y la transconductancia g_m del transistor. Los dos primeros parámetros son propuestos por el diseñador, y el tercer parámetro se obtiene del análisis del circuito bajo diseño. De ello se puede determinar la eficiencia del transistor y continuar con el diseño.

$$I_D^* = \frac{g_m}{\left(\frac{g_m}{I_D}\right)^*}, \quad (11)$$

Con ayuda de las curvas mostradas en la Fig. 5, se puede encontrar la I_D/W correspondiente a la g_m/I_D propuesta y/o calculada, y a su vez, ubicar la región de operación del transistor. Con (12), que relaciona la corriente I_D^* y la I_D/W , se determina W . Este procedimiento se replica para todos los transistores del circuito bajo diseño.

$$W = \frac{I_D^*}{\left(\frac{I_D}{W}\right)}. \quad (12)$$

Es importante señalar que la metodología g_m/I_D es una ayuda para la aproximación del diseño analógico. Como se mencionó anteriormente, esta metodología permite la interacción de las tres regiones de operación del transistor. Pero, ¿qué pasa con la ley cuadrática que describe al transistor? Sabemos que la ley cuadrática determina el comportamiento en saturación de la corriente de drenaje I_D [4]:

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2, \quad (13)$$

donde μ es la movilidad de los portadores de carga, C_{ox} es la capacitancia de óxido, W y L son el ancho y largo del canal del transistor, V_{GS} es el voltaje de compuerta-fuente y V_{TH} es el voltaje de umbral. En Refs. [4,26,27] se determina que la ley cuadrática falla completamente en la región de débil inversión, y en fuerte inversión no es precisa debido a los efectos de canal corto [4,5,29]. Para la operación en inversión moderada no existe un modelo simple que pueda usarse o que describa un comportamiento aproximado. Por lo anterior, una alternativa de modelo simple que proporciona una intuición en el diseño analógico es la ley cuadrática, que puede usarse para entender las tendencias del comportamiento de un circuito, pero no para calcular el dimensionamiento de los transistores. Por esta razón una buena práctica en el diseño analógico, aplicada en este trabajo, es usar el análisis de transistores en saturación, usando su modelo en pequeña señal (como el mostrado en la Fig. 4) para llegar a expresiones que ayuden a comprender el comportamiento aproximado del circuito, y así identificar parámetros que puedan ser de ayuda para alcanzar las especificaciones de diseño como las mostradas en Ecs. (6)-(9).

3.1. Diseño del amplificador Miller con metodología g_m/I_D

Es de interés mostrar el desempeño de las topologías de amplificadores mostrados en este trabajo, por lo cual en la Tabla III se proponen especificaciones de diseño que servirán

TABLA III. Parámetros de diseño.

Característica	Valor
Power Supply (V)	1.2
$A_{DC,0}$ (dB)	≥ 40
f_T (MHz)	≥ 100
PM ($^\circ$)	≥ 60
C_L (pF)	1
SR (V/ μ s)	80
Input offset voltage (V)	0
Output offset voltage (V)	0

como base del uso de la metodología g_m/I_D . Con esa información, se eligen los valores para g_m/I_D y después se determina la corriente normalizada I_D/W para cada transistor usando la gráfica mostrada en la Fig. 5. Después, con la corriente de drenaje de cada transistor la W puede ser obtenida mediante (12). Ahora bien, el diseño procede de la siguiente manera:

- Primero se obtiene el valor de C_c usando (9), y considerando que $C_L = 1$ pF tenemos que $C_{cmin} = 220$ fF pero, para asegurar que $PM > 60^\circ$ se propone un mayor valor, por ejemplo $C_c = 500$ fF.
- Para obtener las dimensiones de los transistores $M_{1,2}$ se determina $g_{m1,2}$ usando (6), llegando a la siguiente expresión:

$$g_{m1,2} = \omega_T C_c, \quad (14)$$

donde $\omega_T = 2\pi f_T$. Nótese que el amplificador se asume que es modelado como un sistema de primer orden. De la Tabla III se tiene que $f_T = 100$ MHz, y de acuerdo con (14) $g_{m1,2} = 314.15 \mu S$. Con ayuda de (8), se obtiene la corriente de polarización, $I_b = 40 \mu A$, por lo tanto la corriente de drenaje requerida es $I_{D1,2} = 20 \mu A$, y entonces $g_{m1,2}/I_{D1,2} = 15.7$. Usando la información en la gráfica de la Fig. 5 se determina la corriente normalizada $I_{D1,2}/W = 1.38$, obteniendo así el ancho de canal $W_{1,2} = 14.76 \mu m$.

- El transistor M_0 se considera que opera en la región moderada con una relación $g_{m0}/I_{D0} = 15$, obteniendo $I_D/W = 1.61$ y $W_0 = 25.2 \mu m$.
- El espejo de corriente, formado por los transistores $M_{3,4}$, opera en fuerte inversión con una relación $g_{m3,4}/I_{D3,4} = 22$, obteniendo $I_D/W = 2.77$, y por tanto $W_{3,4} = 7.2 \mu m$.
- Se considera que el transistor M_5 opera en la región moderada con $g_{m5}/I_{D5} = 15$ y $I_D/W = 1.61$, obteniendo $W_5 = 50.04 \mu m$.

- Del análisis del amplificador Miller se deduce que $g_{m6} = 5g_{m2}$, ya que este valor puede ser relajado debido al uso del resistor R_c , obteniéndose $g_{m6} = 1.57$ mS. Considerando una relación $g_{m6}/I_{D6} = 20$, se determina que la corriente de M_6 es $I_{D6} = 80$ μ A, obteniéndose $I_D/W = 3.96$. Con esta información se encuentra que $W_6 = 20.2$ μ m.

3.2. Simulación y resultados

La simulación del amplificador Miller se hace en Cadence. En la Fig. 6 se muestra el circuito de prueba, que es una configuración en lazo abierto con señales de entrada V_{in+} y V_{in-} de igual magnitud con desfase de 180° cada una, y en la Fig. 7 se muestra la respuesta en frecuencia (en lazo abierto) de la ganancia y la fase. Esta respuesta es aceptable ya que satisface los valores de diseño propuestos en la Tabla III. Se tiene una ganancia $A_{DC,0} = 53.29$ dB y $PM = 89^\circ$. El margen de fase es medido considerando que $PM = 180^\circ - \text{fase}$. La fase es medida en $f = f_T$. Si el resistor R_c es retirado del circuito, el cero se desplazará a frecuencias menores, ocasionando que la fase aumente y que el PM requerido disminuya. Por esta razón, y para el dimensionamiento obtenido se utiliza R_c para evitar el efecto del cero, esto es desplazándolo a frecuencias mayores a f_T . Nótese que con la cancelación del cero la respuesta efectivamente se aproxima a un modelo de primer orden en el rango $f \leq f_T$. En la Tabla IV se muestran

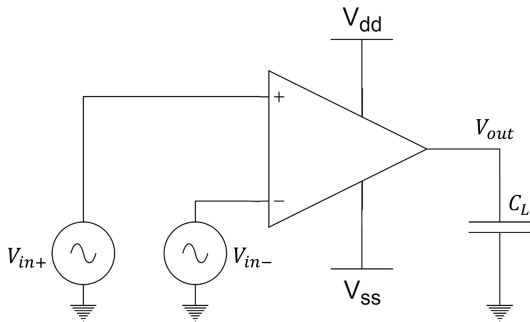


FIGURA 6. Configuración en lazo abierto para obtener la respuesta en frecuencia.

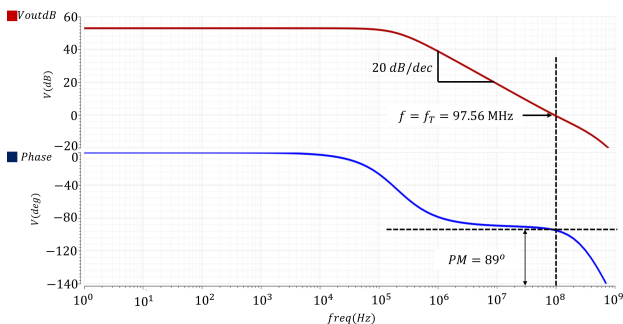


FIGURA 7. Respuesta en frecuencia de ganancia y fase del amplificador Miller.

TABLA IV. Dimensiones de transistores del amplificador Miller.

Transistor	g_m/I_D	Optimización
W_0	25.2 μ m	25.2 μ m
$W_{1,2}$	14.76 μ m	14.76 μ m
$W_{3,4}$	7.2 μ m	7.2 μ m
W_5	50.04 μ m	38.52 μ m
W_6	20.2 μ m	20.2 μ m

las dimensiones resultantes de los transistores del amplificador Miller toda vez que se realizó un ajuste. Éste específicamente se realizó en las dimensiones del transistor M_5 , porque el dimensionamiento original generó un offset que no corresponde a las especificaciones de diseño. Por lo tanto, mediante un diseño de experimentos a nivel simulación, se hace un barrido del ancho de canal W_5 hasta alcanzar el voltaje offset y corriente I_{D5} requeridos.

En sentido estricto hasta este punto concluye el análisis en DC, y si bien de simulación se obtienen parámetros básicos de desempeño en lazo abierto, hay otros parámetros de interés que involucra el análisis en lazo cerrado. Uno de ellos es la rapidez de respuesta, o slew rate (SR), que se puede definir como la máxima tasa de cambio en el voltaje de salida cuando el voltaje de entrada cambia de manera abrupta, y está dado en volts por microsegundo. Para cuantificar el SR, se utiliza una configuración de ganancia unitaria como se muestra en la Fig. 8. Se aplica una señal cuadrada $V_{in} = 100$ mV_{pp} con período de 1 μ s y ancho de pulso de 500ns. Para determinar el SR, se usa la siguiente aproximación:

$$SR = \frac{\Delta V_o}{\Delta t} = \frac{V_{o90\%} - V_{o10\%}}{t_{90\%} - t_{10\%}}, \quad (15)$$

donde ΔV_o es la diferencia entre el 90% de la respuesta $V_{o90\%}$ en un tiempo $t_{90\%}$ menos el 10% del voltaje de salida $V_{o10\%}$ en un tiempo $t_{10\%}$; Δt es la diferencia entre los tiempos $t_{90\%}$ y $t_{10\%}$. En la Fig. 9 se muestra la respuesta de salida (señal roja), donde podemos identificar a $V_{o10\%} = 40$ mV, $t_{10\%} = 10.94$ ns, $V_{o90\%} = 40$ mV y $t_{90\%} = 14.46$ ns, con

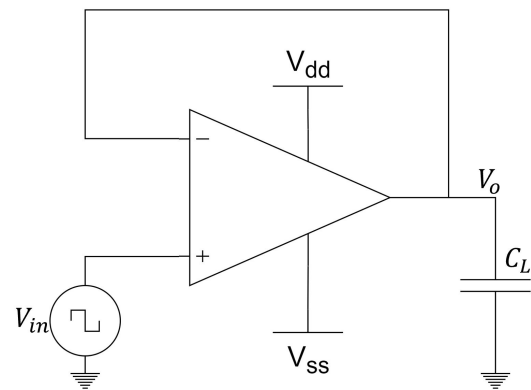


FIGURA 8. Configuración de ganancia unitaria para medición del SR.

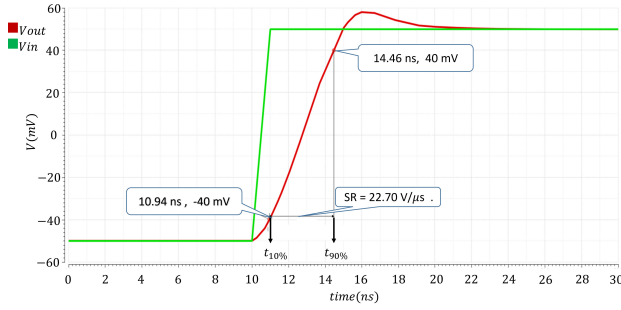


FIGURA 9. Respuesta de SR del amplificador Miller.

TABLA V. Parámetros de desempeño del amplificador Miller.

Parámetro	Valor
Power Supply [V]	1.2
CMOS Technology [nm]	130
$g_{m_{ef}}$ [mS]	24.45
DC gain [dB]	53.29
GBW [MHz]	97.56
Cut frequency [kHz]	201.55
PM [°]	89
SR [V/μs]	22.70
1 % Settling Time [ns]	10.36
Cc [pF]	0.5
C_L [pF]	1
I_b [μA]	40
r_o [kΩ]	18.39
Total current [μA]	120
Power [μW]	144
ICMR [V]	-0.27 to 0.32
Input offset voltage [mV]	0
Output offset voltage [mV]	5.2
CMRR (@34 MHz) [dB]	65.45
PSRR+ (@107 kHz) [dB]	102.9
PSRR- (@200 kHz) [dB]	109.7
IRN (1 Hz - 100 MHz) [μV_{rms}]	39.52

con lo cual se puede determinar que $SR = 22.70 \text{ V}/\mu\text{s}$. Otro parámetro importante que puede ser analizado mediante simulación es el ruido intrínseco. Como sabemos, en muchas aplicaciones como amplificadores de audio, filtros y convertidores de datos, el ruido puede ser un factor limitante de diseño [5,16]. Un parámetro de interés es el ruido referido a la entrada (IRN, por sus siglas en inglés), el cual representa todas las fuentes de ruido intrínsecas en el circuito como una sola fuente a la entrada. En sentido estricto el ruido es medido a la salida del circuito, sin embargo, éste puede ser referido a la entrada para ser comparado con una señal de entrada. Cabe señalar que el ruido referido a la entrada no está realmente presente en la entrada del circuito bajo prueba, esta represen-

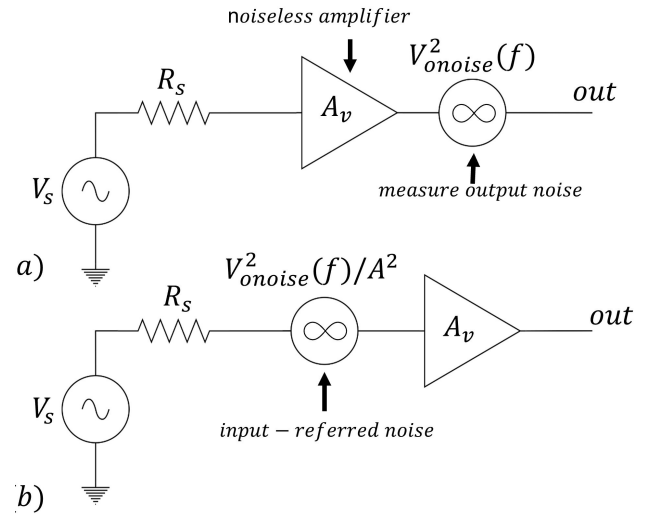


FIGURA 10. a) Medición de ruido a la salida del circuito, b) circuito hipotético de la medición del IRN.

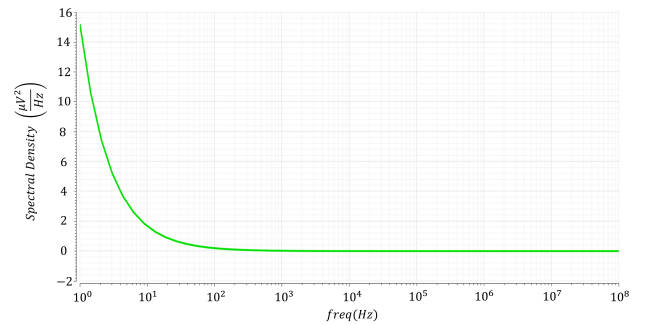


FIGURA 11. Densidad espectral de ruido de salida.

tación puede verse en la Fig. 10 [5]. En la Fig. 10a) se considera que el amplificador no genera ruido, por lo tanto, el ruido total del sistema está representado por la potencia de ruido $V_{onoise}^2(f)$ en el nodo de salida. En la Fig. 10b) se representa el ruido referido a la entrada mediante la potencia de ruido $V_{onoise}^2(f)/A^2$. Para realizar esta medición se utiliza el circuito de prueba en lazo abierto mostrado en la Fig. 6, y la densidad espectral de potencia se muestra en la Fig. 11. Cuando se integra sobre un ancho de banda de 1 Hz a 100 MHz, el ruido es $39.52 \mu V_{rms}$. En la Tabla V se resume el rendimiento del amplificador Miller.

4. Folded cascode OTA

Otro amplificador muy usado es el amplificador FC (mostrado en la Fig. 3) debido a que tiene buen desempeño en ganancia, GBW y fase [20]. El amplificador FC es de una etapa, evitando así la compensación de etapas adicionales. La idea básica es aplicar transistores cascode al par diferencial, pero utilizando transistores de tipo opuesto a los utilizados en la etapa de entrada [30]. Como se puede ver en la Fig. 3, el amplificador FC consta de un par diferencial con transistores PMOS $M_{1,2}$ y los transistores cascode NMOS M_{3-6} .

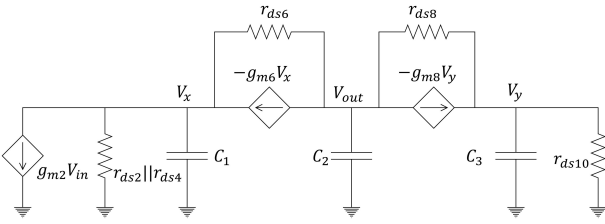


FIGURA 12. Circuito equivalente en pequeña señal del amplificador FC de salida simple; los transistores operan en saturación y polarizados en fuerte inversión.

La ganancia presenta un aumento debido a los espejos de corriente cascode M_3 - M_6 y M_7 - M_{10} . La transconductancia (g_m) y la impedancia de salida r_{out} están dominadas por diferentes transistores (M_1 - M_9), lo que permite aumentar la ganancia sin reducir la g_m , la cual afecta directamente el ancho de banda. Debido a su gran popularidad y versatilidad, en el estado del arte, diferentes trabajos muestran modificaciones a la topología original, con el fin de mejorar propiedades como ganancia, GBW y PM , por mencionar algunas [16,31,32].

4.1. Análisis en pequeña señal

Este análisis se realiza con ayuda del circuito equivalente mostrado en la Fig. 12. La función de transferencia H_{FCY} la ganancia en baja frecuencia $A_{DC,0}$ están dadas por (16) y (17), respectivamente:

$$H_{FC}(s) = \frac{Zs + N}{P_3s^3 + P_2s^2 + P_1s + D}, \quad (16)$$

$$A_{DC,0} \approx g_{meff}r_o, \quad (17)$$

donde $g_{meff} = g_{m2}$ es la transconductancia efectiva y la impedancia de salida está dada por:

$$r_o \approx g_{m6}r_{ds6}(r_{ds2} || r_{ds4}) || g_{m8}r_{ds8}r_{ds10}. \quad (18)$$

Cada uno de los términos de la función de transferencia H_{FC} son los siguientes:

$$Z = C_3g_{m2}g_{44}, \quad (19)$$

$$N = g_{m2}g_{44}g_{11}, \quad (20)$$

$$D = g_{ds6}(g_{ds4} + g_{ds2})g_{11} + g_{ds10}g_{ds8}g_{22}, \quad (21)$$

$$P_1 = C_1(g_{ds6}g_{11} + g_{ds10}g_{ds8}) + C_2g_{22}g_{11} + C_3(g_{ds8}g_{22} + (g_{ds4} + g_{ds2})g_{ds6}), \quad (22)$$

$$P_2 = C_1C_2g_{11} + C_2C_3g_{22} + C_1C_3g_{33}, \quad (23)$$

$$P_3 = C_1C_2C_3, \quad (24)$$

donde C_1 , C_2 y C_3 son capacitancias intrínsecas, la transconductancia g_{mx} , transconductancia de efecto de cuerpo g_{mbx} , conductancia g_{dsx} , capacitancias intrínsecas C_{gbx} , C_{gsx} , C_{gdx} , C_{bsx} y C_{dbx} están definidas en la Tabla VI. El producto ganancia-ancho de banda GBW , PM y SR , están determinadas por (25), (26) y (27), respectivamente:

TABLA VI. Transconductancia y capacitancia.

$$C_1 = C_{db2} + C_{db4} + C_{gd4} + C_{bs6} + C_{gs6}$$

$$C_2 = C_{gd6} + C_{db6} + C_{db8} + C_{gd8} + C_L$$

$$C_3 = C_{bs8} + C_{gs8} + C_{db10} + C_{gd10}$$

$$g_{11} = g_{m8} + g_{ds8} + g_{ds10}$$

$$g_{22} = g_{bs6} + g_{m6} + g_{ds6} + g_{ds4} + g_{ds2}$$

$$g_{33} = g_{ds8} + g_{ds6}$$

$$g_{44} = g_{m6} + g_{ds6}$$

$$GBW \approx \frac{g_{m2}}{C_L}, \quad (25)$$

$$PM \approx 90 - \tan^{-1} \left(\frac{GBWC_1}{g_{m6}} \right), \quad (26)$$

$$SR = \frac{I_b}{C_L}. \quad (27)$$

4.2. Diseño con metodología g_m/I_D

Considerando las especificaciones de diseño (ver la Tabla III) se procede como se menciona en la Sec. 3.1, y se asume que el amplificador puede ser modelado como un sistema de primer orden.

- Para obtener las dimensiones de los transistores $M_{1,2}$ se determina $g_{m1,2}$ usando (25):

$$g_{m1,2} = 2\pi f_T C_L. \quad (28)$$

Sabemos que $f_T = 100$ MHz, y la corriente del transistor $I_{D1,2} = 40 \mu A$, por lo tanto $g_{m1,2} = 628.31 \mu S$ y $g_{m1,2}/I_{D1,2} = 15.7$. Con la información de la Fig. 5 se determina que $I_D/W = 1.4$, obteniendo así el ancho de canal del transistor $W_{1,2} = 29.16 \mu m$.

- El transistor M_0 opera en la región de fuerte inversión con una relación $g_{m0}/I_{D0} = 10$, obteniendo $I_D/W = 4.23$, y $W_0 = 19.08 \mu m$.
- Los transistores cascode $M_{3,4}$, operan en moderada inversión con una relación $g_{m3,4}/I_{D3,4} = 15$, obteniendo $I_D/W = 9.06$, y $W_{3,4} = 9 \mu m$.
- Los transistores $M_{5,6}$ y $M_{7,8}$ tienen un impacto importante en la resistencia de salida r_o , y también en la ganancia $A_{DC,0}$. Se propone operar en la región moderada con $g_{m5,6}/I_{D5,6} = 15$ y $g_{m7,8}/I_{D7,8} = 15$ determinando así las corrientes normalizadas $(I_D/W)_{5,6} = 9.06$ y $(I_D/W)_{7,8} = 1.61$. La corriente de $M_{5,6}$ y $M_{7,8}$ es $I_{D3,4,5,6} = 40 \mu A$, y por tanto las dimensiones son $W_{5,6} = 4.68 \mu m$ y $W_{7,8} = 25.2 \mu m$.
- Se propone que $M_{9,10}$ operen en fuerte inversión con $g_{m9,10}/I_{D9,10} = 6$, obteniendo $I_D/W = 11.93$. Considerando una corriente $I_{D9,10} = 40 \mu A$, se obtiene $W_{9,10} = 3.6 \mu m$.

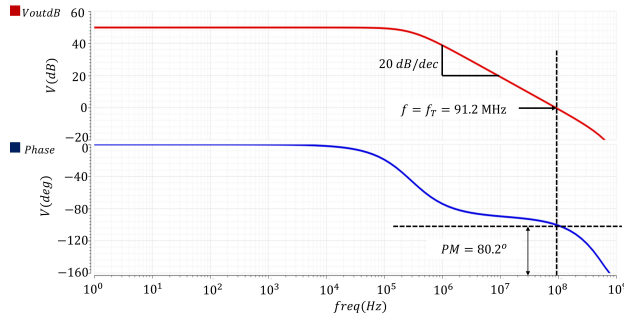


FIGURA 13. Respuesta en frecuencia en lazo abierto de ganancia y fase del FC OTA.

TABLA VII. Dimensiones de transistores del amplificador FC.

Transistor	g_m/I_D	Optimización
W_0	19.08 μm	19.08 μm
$W_{1,2}$	29.16 μm	29.16 μm
$W_{3,4}$	9 μm	9 μm
$W_{5,6}$	4.68 μm	18.72 μm
$W_{7,8}$	25.2 μm	25.2 μm
$W_{9,10}$	3.6 μm	3.6 μm

4.3. Simulación y resultados

En la Tabla VII se muestran las dimensiones de los transistores del amplificador FC. La optimización se realiza ahora en las dimensiones de los transistores M_5 y M_6 , debido a que el dimensionamiento original se generó un offset de salida que no corresponde a las especificaciones de diseño. Por lo tanto, con un diseño de experimentos, se hace un barrido del ancho de canal W_5 y W_6 hasta alcanzar el voltaje offset y corrientes I_{D5} y I_{D6} requeridos. Como hemos visto, el dimensionamiento de los transistores es primordial en el diseño de amplificadores CMOS, y por tanto presenta un impacto en los parámetros del mismo. La Fig. 13 muestra la respuesta en frecuencia en lazo abierto (ganancia y fase), donde se observa que $A_{DC,0} = 50$ dB, $PM = 80.2$ y $GBW = 91.2$ MHz son valores que cumplen las especificaciones de diseño. Nótese que efectivamente el amplificador es un sistema de primer orden:

$$H_{FC}(s) \approx \frac{A_{DC,0}}{1 + \frac{s}{\omega_p}}, \quad (29)$$

donde ω_p es el polo dominante. Otro de los parámetros que presenta relación con la ganancia del amplificador, es el rango de voltaje de entrada en modo común (ICMR por sus siglas en inglés), y se define como el rango de voltaje de entrada en modo común hasta el cual los transistores asociados a la entrada diferencial ($M_{1,2}$) están en saturación y dan una ganancia constante [4,5,21]. Para medir el ICMR se utiliza la configuración de ganancia unitaria, mostrada en la Fig. 14. Se realiza un barrido de la señal de entrada V_{in} de -600 mV

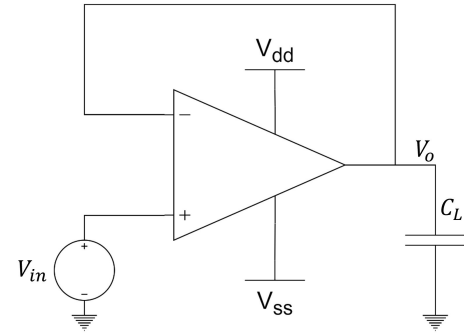


FIGURA 14. Configuración de ganancia unitaria para medición del ICMR.

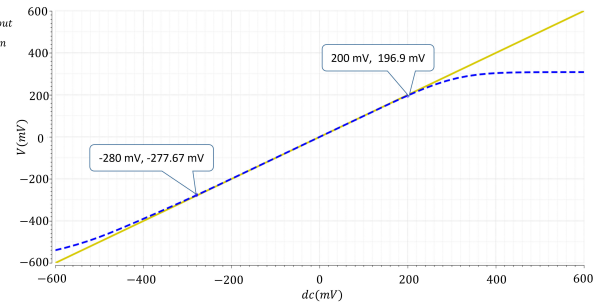


FIGURA 15. Respuesta ICMR.

a 600 mV para obtener la respuesta mostrada en la Fig. 15. Aquí se muestra la parte lineal de la curva de transferencia donde la pendiente es la unidad, que corresponde al rango de -280 mV a 200 mV, y define el rango de voltaje ICMR. Otro parámetro importante que puede ser analizado es la razón de rechazo en modo común (CMRR, por sus siglas en inglés), que se puede definir como la habilidad que presenta el amplificador diferencial para rechazar una señal común aplicada a la entrada. El CMRR se puede expresar como la relación de la ganancia en modo diferencial (V_{DM}) con la ganancia en modo común (V_{CM}) [5]:

$$CMRR = 20 \log \left(\frac{V_{DM}}{V_{CM}} \right). \quad (30)$$

Para cuantificar este parámetro, se utiliza una configuración en lazo abierto (mostrada en la Fig. 6) para obtener la respuesta en modo diferencial, y para la respuesta en modo común se utiliza la configuración mostrada en la Fig. 16, la cual presenta una señal de entrada en modo común V_{cm} . La respuesta se muestra en la Fig. 17, y corresponde a un valor de 75.46 dB para $f < 3.9$ MHz. En la Tabla VIII se resume el rendimiento del amplificador FC.

5. Recycling folded cascode

En la arquitectura mostrada en la Fig. 3 se observa que los transistores M_3 y M_4 conducen una corriente I_b , lo cual representa la mayoría de la corriente consumida, y esto es motivo de que estos transistores en ocasiones presenten una transconductancia de valor grande. Sin embargo, su propósito sólo

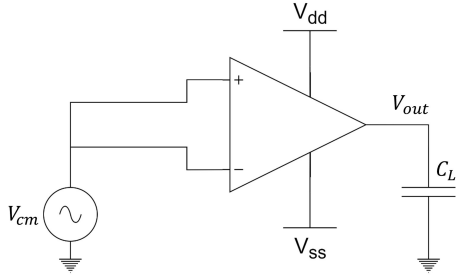


FIGURA 16. Configuración en modo común para medición de CMRR.

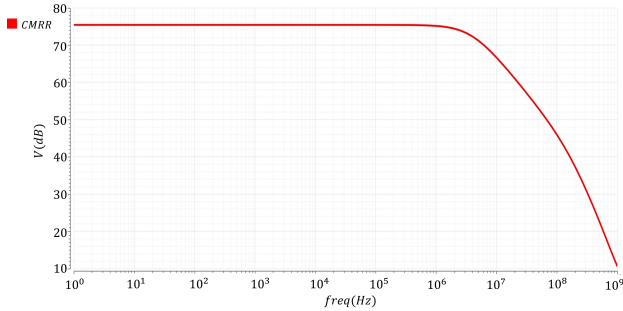


FIGURA 17. Respuesta de CMRR.

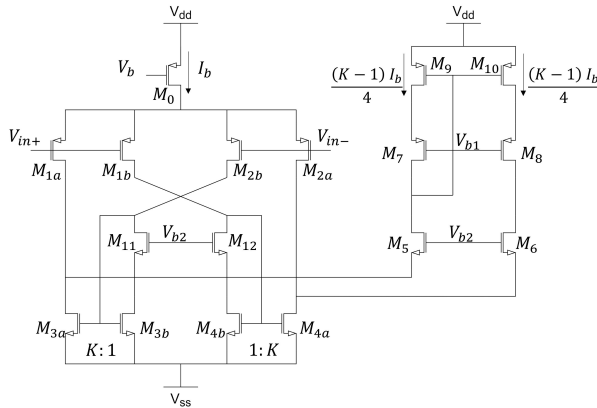


FIGURA 18. Recycling Folded Cascode OTA de salida simple.

se limita a proporcionar un nodo *folded* para la corriente en pequeña señal generada por los transistores $M_{1,2}$, que es la característica principal de este amplificador. Considerando esto como una ineficiencia del FC, debido a que la utilidad de los transistores M_3 y M_4 no se aprovecha totalmente, se propone en Ref. [16] la arquitectura del amplificador *recycling folded cascode* (RFC) mostrada en la Fig. 18, donde se explica que las modificaciones realizadas al FC convencional fue para usar los transistores M_3 y M_4 como transistores de conducción, lo que permite un control de la señal de entrada y de la corriente de polarización. Se observa que los transistores M_1 y M_2 se dividen al 50% del ancho de canal W , generando M_{1a} , M_{1b} , M_{2a} y M_{2b} , los cuales conducirán una corriente $I_b/4$. Los transistores M_3 y M_4 se dividen para generar los espejos de corriente $M_{3a} : M_{3b}$ y $M_{4a} : M_{4b}$ con

TABLA VIII. Parámetros de desempeño del amplificador FC.

Parámetro	Valor
Power Supply [V]	1.2
CMOS Technology [nm]	130
$g_{m_{ef}}$ [μ S]	637.40
DC gain [dB]	50
GBW [MHz]	91.20
Cut frequency [kHz]	291.49
PM ($^\circ$)	80.2
SR [V/μ s]	21.82
1 % Settling Time [ns]	7.92
C_L [pF]	1
I_b [μ A]	80
r_o [k Ω]	519
Total current [μ A]	160
Power [μ W]	192
ICMR [V]	-0.28 to 0.20
Input offset voltage [mV]	0
Output offset voltage [mV]	19.93
CMRR (@3.9 MHz) [dB]	75.46
PSRR+ (@289 kHz) [dB]	91.98
PSRR- (@289 kHz) [dB]	86.49
IRN (1Hz - 100 MHz) [μ V $_{rms}$]	58.64

una relación $K:1$. La conexión cruzada de los espejos de corriente aseguran que las corrientes de pequeña señal proporcionadas a los transistores M_5 y M_6 estén en fase. Los transistores M_{11} y M_{12} se dimensionan igual a M_5 y M_6 .

5.1. Análisis en pequeña señal

El análisis es igual al del FC, del cual se obtiene una función de transferencia similar a (16), donde se intercambia la transconductancia g_{m2} por g_{m2a} . También se intercambian las conductancias g_{ds2} y g_{ds4} por g_{ds2a} y g_{ds4a} , respectivamente, donde K es la ganancia de corriente del espejo de corriente [16]. En (31) y (32) se muestra la transconductancia efectiva del amplificador RFC y la impedancia de salida, respectivamente.

$$g_{m_{ef}} = g_{m2a}(1 + K), \quad (31)$$

$$r_o = g_{m6}r_{ds6}(r_{ds2a} || r_{ds4a}) || g_{m8}r_{ds8}r_{ds10}. \quad (32)$$

De la Fig. 18 se observa que la corriente a través de $M_5 - M_{10}$ es función de K . En la Ref. [16] se menciona que para conservar la potencia y área iguales al amplificador FC, K debe ser igual a 3. Los parámetros GBW y SR están dados, respectivamente, por

$$GBW \approx \frac{g_{m2}}{C_L}, \quad (33)$$

y

$$SR = \frac{KI_b}{C_L}. \quad (34)$$

5.2. Diseño con metodología g_m/I_D

Para el diseño del amplificador RFC, el método aquí descrito parte del diseño de un amplificador FC visto en la Sec. IV.

- Para el amplificador FC, de acuerdo a la Ref. [16], los transistores M_{1a} , M_{2b} , M_{1b} y M_{2b} deben tener un tamaño igual a $W_{1,2}/4 \approx 7.56 \mu\text{m}$.
- De las dimensiones de $M_{3,4}$ del FC, se obtienen las dimensiones de $M_{3a,3b}$ y $M_{4a,4b}$ considerando un valor $K = 3$, consiguiendo $W_{3a,4a} = 7.56 \mu\text{m}$ y $W_{3b,4b} = 2.52 \mu\text{m}$.
- Las dimensiones de M_{11} y M_{12} son iguales a los transistores M_5 y M_6 , respectivamente.
- Los transistores M_0 , M_7 , M_8 , M_9 y M_{10} conservan las mismas dimensiones del amplificador FC.

5.3. Simulación y resultados

La Fig. 19 muestra la respuesta en frecuencia en lazo abierto de la ganancia y fase, donde se observa que $A_{DC,0} = 56.5 \text{ dB}$, $PM = 68^\circ$ y $GBW = 139.52 \text{ MHz}$ son valores que cumplen con las especificaciones de diseño, y en efecto puede modelarse como un sistema de primer orden. Como se ha visto en la Secs. 3 y 4, el ruido y voltaje en modo común pueden afectar la respuesta esperada del amplificador, y ello lleva a cambios en los parámetros de diseño, los cuales son efectos no deseados. Por eso es importante considerar todos los componentes que son conectados al amplificador, entre estos están las fuentes de alimentación (V_{DD} , V_{SS} , GND), las cuales también aportan variaciones o ruido a la respuesta. Por lo tanto es importante realizar un análisis del factor de rechazo de la fuente de alimentación (PSRR, por sus siglas en inglés), que se define como el producto de la relación entre el cambio de la fuente de alimentación y el cambio en el voltaje de salida del amplificador causado por el cambio en la fuente de alimentación y la ganancia en lazo abierto del amplifi-

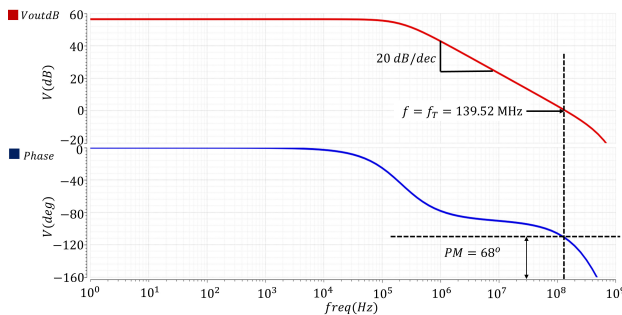


FIGURA 19. Respuesta en frecuencia en lazo abierto de ganancia y fase del amplificador RFC.

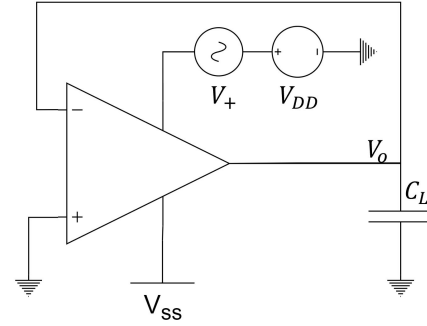


FIGURA 20. Configuración en ganancia unitaria para medir el $PSRR_+$.

amplificador. En otras palabras, indica qué tan bien responde el amplificador a las variaciones de la fuente de alimentación (positiva y negativa). Esto se representa mediante:

$$PSRR_+ = 20 \log \left(\frac{V_{OL}}{\frac{V_o}{V_+}} \right), \quad (35)$$

$$PSRR_- = 20 \log \left(\frac{V_{OL}}{\frac{V_o}{V_-}} \right), \quad (36)$$

donde V_{OL} es la magnitud del voltaje de salida del amplificador; V_+ y V_- corresponden a los cambios en la fuente de alimentación positiva y negativa, respectivamente. Para determinar el $PSRR_+$ se usa la configuración de la Fig. 20, donde se observa que una señal en AC es conectada en serie con V_{DD} (en el caso del $PSRR_-$, se conecta una señal AC en serie con V_{SS}), y mediante un análisis en AC se obtiene la respuesta correspondiente a la relación V_o/V_+ . Sabemos que $A_{DC,0} = 56.5 \text{ dB}$, entonces con ayuda del simulador se resuelve (35) y se obtiene la respuesta $PSRR_+$ mostrada en la Fig. 21. En la Tabla IX se muestran las dimensiones de los transistores del amplificador RFC, y en la Tabla X se resume su rendimiento, donde se puede ver un mejor desempeño de los parámetros en comparación con el amplificador FC.

TABLA IX. Dimensiones de transistores del amplificador RFC.

Transistor	g_m/I_D
W_0	19.08 μm
$W_{1a,1b}$	7.56 μm
$W_{2a,2b}$	7.56 μm
$W_{3a,4a}$	7.56 μm
$W_{3b,4b}$	2.52 μm
$W_{5,6}$	18.72 μm
$W_{7,8}$	25.2 μm
$W_{9,10}$	3.6 μm
$W_{11,12}$	18.72 μm

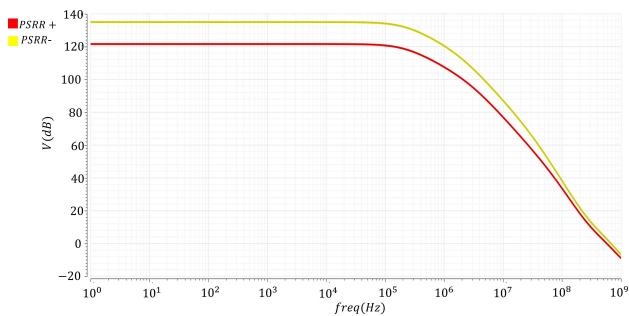
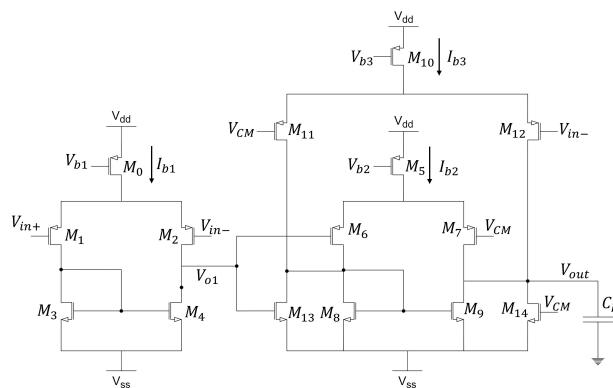
FIGURA 21. Respuesta de $PSRR_+$ y $PSRR_-$.

TABLA X. Parámetros de desempeño del amplificador RFC.

Parámetro	Valor
Power Supply [V]	1.2
CMOS Technology [nm]	130
$g_{m_{ef}}$ [mS]	1
DC gain [dB]	56.50
GBW [MHz]	139.52
Cut frequency [kHz]	214.04
PM [°]	68
SR [V/ μ s]	41.96
1 % Settling Time [ns]	4.61
C_L [pF]	1
I_b [μ A]	80
r_o [k Ω]	668.34
Total current [μ A]	160
Power [μ W]	192
ICMR [V]	-0.33 to 0.43
Input offset voltage [mV]	0
Output offset voltage [mV]	27.54
CMRR (@2.9 MHz) [dB]	76.20
PSRR+ (@212 kHz) [dB]	121.62
PSRR- (@212 kHz) [dB]	135.00
IRN (1Hz - 100 MHz) [μ V $_{rms}$]	59.67

6. Amplificador de dos etapas con compensación *feedforward*

En los amplificadores CMOS es complicado obtener un diseño de alta ganancia y un amplio ancho de banda porque éstos y otros parámetros (potencia, impedancia de salida, ruido, etc) se relacionan entre sí, haciendo del diseño un problema de optimización multidimensional [4]. Entonces, se pueden identificar amplificadores multi-etapa que son diseñados para tener una ganancia grande usando transistores polarizados con un bajo nivel de corriente. Y también están los amplificadores con un amplio ancho de banda que usan etapas simples con transistores polarizados con un alto nivel de corriente. Para aprovechar las ventajas de cada una de estas

FIGURA 22. Amplificador de dos etapas con compensación *feedforward*.

arquitecturas, existen amplificadores como el amplificador de dos etapas con compensación Miller (ver Fig. 2) visto en la Sec. 2. Como sabemos, en un amplificador Miller, el polo dominante es desplazado hacia frecuencias bajas debido al efecto del *pole-splitting*, resultando en estructuras de alta ganancia, adecuada compensación de fase, pero de menor ancho de banda. Entonces, para evitar este inconveniente en la Ref. [22] se propone y se explica un esquema de compensación *feedforward* (CFF) para amplificadores multi-etapa sin usar capacitores de compensación. La arquitectura propuesta es un amplificador de dos etapas con CFF [22,33] que se muestra en la Fig. 22. Se observa que tanto la primera (M_0 - M_4) como la segunda etapa (M_5 - M_9) son un par diferencial de salida simple, y la etapa *feedforward* está implementada por los transistores $M_{10} - M_{14}$. Este esquema usa un corrimiento de fase positivo de los ceros ubicados en el semiplano derecho, generados mediante una ruta *feedforward* para compensar el corrimiento de fase negativa de los polos. El par polo-cero es situado en frecuencias grandes para evitar componentes de establecimiento lentos asociados con la cancelación polo-cero a bajas frecuencias, lo cual ocasiona que el polo dominante (ubicado en frecuencias menores al segundo polo) sea cancelado junto con el cero [22,34]. Otra ventaja de este amplificador es que evita al capacitor de compensación, y así reducir espacio de integración y obtener mejoras en la corrección del PM , $A_{DC,0}$ y GBW [22].

6.1. Análisis en pequeña señal

El análisis se realiza con ayuda del circuito equivalente mostrado en la Fig. 23. La función de transferencia H_{CFF} y la ganancia en baja frecuencia $A_{DC,0}$ están dadas por (37) y (38), respectivamente.

$$H_{CFF}(s) = \frac{A_{DC,0} \left(1 + \frac{A_{VC} \omega_{p1}}{A_{VA} A_{VB} + A_{VC}} \right)}{\left(1 + \frac{s}{\omega_{p1}} \right) \left(1 + \frac{s}{\omega_{p2}} \right)}, \quad (37)$$

$$A_{DC,0} = A_{VA} A_{VB} + A_{VC}. \quad (38)$$

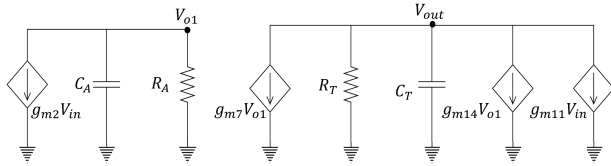


FIGURA 23. Circuito equivalente en pequeña señal del amplificador de dos etapas con CFF.

TABLA XI. Definición de las capacitancias e impedancias equivalentes del amplificador CFF.

$$C_A = C_{db2} + C_{gd4} + C_{db4} + C_{gs6} + C_{gd14}$$

$$C_T = C_{db7} + C_{db9} + C_{gd9} + C_{db12} + C_{db14} + C_L$$

$$R_A = 1/(g_{ds2} + g_{ds4})$$

$$R_T = 1/(g_{ds7} + g_{ds9} + g_{ds12} + g_{ds14})$$

Se observa que (37) es una función de segundo orden con un cero, donde ω_{p1} , ω_{p2} y ω_z son los polos y cero del sistema definidos por (39), (40) y (41), respectivamente.

$$\omega_{p1} = \frac{1}{C_A R_A}, \quad (39)$$

$$\omega_{p2} = \frac{1}{C_L R_T}, \quad (40)$$

$$\omega_z = -\omega_{p1} \left(1 + \frac{A_{VA} A_{VB}}{A_{VC}} \right), \quad (41)$$

aquí A_{VA} , A_{VB} y A_{VC} son ganancias en baja frecuencia de la primera etapa, segunda etapa y compensación *feedforward*, definidas por (42), (43) y (44), respectivamente.

$$A_{VA} = g_{m2} R_A, \quad (42)$$

$$A_{VB} = (g_{m7} + g_{m14}) R_T, \quad (43)$$

$$A_{VC} = g_{m12} R_T, \quad (44)$$

de las ecuaciones anteriores C_A es la capacitancia equivalente de la primera etapa del amplificador, y por último R_A y R_T son impedancias equivalentes, que están definidas en la Tabla XI.

Considerando (42), (43) y (44) se puede representar a (38) como sigue:

$$A_{DC,0} = g_{m_{ef}} r_o \quad (45)$$

donde $g_{m_{ef}}$ es la transconductancia efectiva y r_o la impedancia de salida, que se definen como:

$$g_{m_{ef}} = g_{m2} R_A (g_{m7} + g_{m14}) + g_{m12} \quad (46)$$

$$r_o = \frac{1}{g_{ds7} + g_{ds9} + g_{ds12} + g_{ds14}} \quad (47)$$

Los amplificadores son utilizados en configuraciones de lazo cerrado con capacitores de retroalimentación, como el

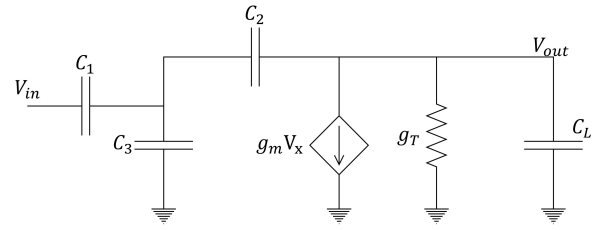


FIGURA 24. Amplificador con capacitor de retroalimentación.

que se muestra en la Fig. 24. En estos casos una cancelación polo-cero puede no llevarse a cabo satisfactoriamente, debido a una doble aparición de un polo-cero. Por lo cual en la Ref. [22] se desarrolla un análisis del circuito, obteniendo una optimización de las Ecs. (37)-(41). Para una explicación más detallada es recomendable la lectura de [22]. Las ecuaciones de diseño optimizadas para este amplificador y garantizar la cancelación de ω_{p1} y ω_z se definen como sigue:

$$\omega_{p1} \approx \frac{\beta g_{m2} (g_{m7} + g_{m14})}{C_A (\beta g_{m12} + g_T)}, \quad (48)$$

$$\omega_{p2} \approx \frac{\beta g_{m12} + g_T}{C_L}, \quad (49)$$

$$\omega_z \approx \left(\frac{g_{m7} + g_{m14}}{g_{m12}} \right) \left(\frac{g_{m2}}{C_A} \right), \quad (50)$$

donde $\beta = C_2/(C_1 + C_2 + C_3)$ es el factor de retroalimentación y $g_T = 1/(R_T)$. Entonces, podemos observar que ω_{p1} y ω_z deben ser muy próximos entre sí, sin importar el valor de las capacitancias [22]. Si se reduce el valor de la capacitancia intrínseca C_A (salida de la primera etapa), incrementa la frecuencia de ω_{p1} y ω_z , y la cancelación polo-cero ocurre en altas frecuencias ocasionando que la frecuencia esté controlada por ω_{p2} y así tener un amplio ancho de banda.

6.2. Diseño con metodología g_m/I_D

Como se menciona en la Ref. [22], el amplificador de dos etapas con CFF debe satisfacer las siguientes consideraciones de diseño:

- La segunda etapa y la compensación *feedforward* no deben tener ningún polo antes del *GBW*; se asume que el amplificador se modelará como un sistema de primer orden.
- La cancelación de los polos y ceros deben ocurrir en altas frecuencias.
- La ganancia en DC del amplificador debe ser alta.

Estas condiciones se pueden alcanzar si las etapas se escogen como sigue:

- Para la primera etapa es recomendable que sea diseñada para tener una ganancia alta y una capacitancia pequeña como carga.

- La segunda etapa y la compensación *feedforward* deben estar optimizadas para obtener un ancho de banda grande y una ganancia media.

Considerando los puntos anteriores, el proceso de diseño del amplificador de dos etapas con CFF, es como sigue:

- Como se observa en la Fig. 22, la primer etapa está formada por los transistores M_0 - M_4 , la cual es crucial para el diseño de todo el amplificador, ya que de ésta se basa el diseño de la segunda etapa y de la compensación *feedforward*. Considerando las especificaciones de diseño y las propias de esta arquitectura, se considera como capacitancia de carga de la primer etapa $C_{L1} = 250$ fF. Mediante (51) se calcula la corriente de polarización $I_{b1} = 20$ μ A:

$$SR = \frac{I_{b1}}{C_{L1}}. \quad (51)$$

- Para el transistor M_0 se considera $g_{m0}/I_{D0} = 10$, y con ayuda de la información en la Fig. 5, se obtiene $I_D/W = 4.61$. Conociendo que $I_{b1} = 20$ μ A y usando (12) se obtiene $W_0 = 4.68$ μ m.
- Se considera que los transistores $M_{1,2}$ tengan un valor $g_{m1,2}/I_{D1,2} = 20$, obteniendo $I_D/W = 0.44$, y por tanto $W_{1,2} = 23.04$ μ m.
- Es de importancia que los voltajes offset de entrada y salida sean del mismo valor, con el fin de que los transistores de entrada de las siguientes etapas estén polarizados adecuadamente. Por tal motivo los transistores $M_{3,4}$ se consideran operen en fuerte inversión con $g_{m3,4}/I_{D3,4} = 4.62$, obteniendo $I_D/W = 65.24$, y por tanto $W_{3,4} = 324$ nm. Con este valor de $W_{3,4}$ el voltaje offset de salida no alcanza a ser el mismo valor de voltaje offset de entrada, por lo tanto se elige un valor $W_{3,4} = 180$ nm para alcanzar un valor de 0 V.
- Para la segunda etapa (transistores $M_5 - M_9$) se utilizan las mismas dimensiones obtenidas en la primer etapa. Recordando que la segunda etapa debe tener una corriente I_{b2} mayor a I_{b1} para alcanzar un mayor ancho de banda, se utiliza una multiplicidad $M_{M2} = 10$ para todos los transistores de la segunda etapa y así alcanzar una corriente de polarización $I_{b2} = 200$ μ A.
- La etapa de compensación *feedforward* se determina haciendo un barrido mediante una serie de simulaciones, para obtener una corriente $I_{b3} = 800$ μ A y alcanzar un $PM \approx 90^\circ$. Por lo tanto, para los transistores $M_{10} - M_{14}$ se utiliza una multiplicidad $M_{M3} = 40$.

6.3. Simulación y resultados

La Fig. 25 muestra la respuesta en frecuencia en lazo abierto (de la ganancia y la fase), donde se observa que

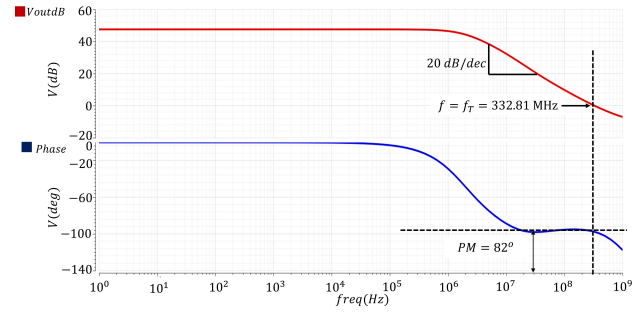


FIGURA 25. Respuesta en frecuencia en lazo abierto de ganancia y fase del amplificador CFF.

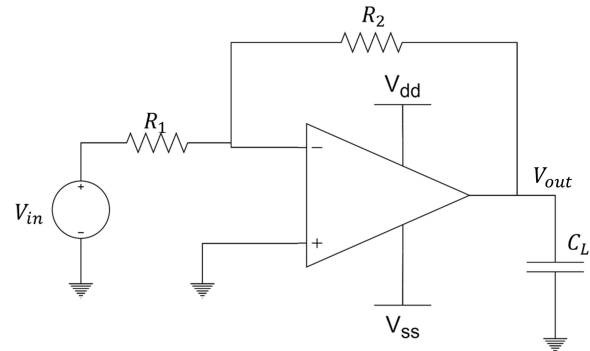


FIGURA 26. Circuito inversor para medir el *output swing*.

TABLA XII. Dimensiones de transistores del amplificador CFF.

Transistor	g_m/I_D	Multiplicidad
W_0	4.68 μ m	1
$W_{1,2}$	23.04 μ m	1
$W_{3,4}$	180 nm	1
W_5	4.68 μ m	10
$W_{6,7}$	23.04 μ m	10
$W_{8,9}$	180 nm	10
W_{10}	4.68 μ m	40
$W_{11,12}$	23.04 μ m	40
$W_{13,14}$	180 nm	40

$A_{DC,0} = 47.64$ dB, $PM = 82^\circ$ y $GBW = 332.81$ MHz son valores que cumplen con las especificaciones de diseño, y en efecto puede modelarse como un sistema de primer orden. Otro parámetro que se caracteriza mediante simulación es el *output swing*, el cual define qué tan cercana es la oscilación de la señal de salida a los voltajes de alimentación (V_{DD} y V_{SS}) [5,4,30]. Este se determina con el circuito mostrado en la Fig. 26, que es una configuración de un amplificador inversor, el cual cuenta con dos resistores R_1 y R_2 , un capacitor de carga C_L y una fuente de entrada V_{in} , la cual realiza un barrido de -600 mV a 600 mV. La respuesta se muestra en la Fig. 27, donde la curva de transferencia entre V_{in} y V_{out} representa el *output swing* ubicando los voltajes máximo

TABLA XIII. Parámetros de desempeño del amplificador CFF.

Parámetro	Valor
Power Supply [V]	1.2
CMOS Technology [nm]	130
$g_{m_{ef}}$ [mS]	124.48
DC gain [dB]	47.64
GBW [MHz]	332.81
Cut frequency [kHz]	1889
PM [°]	82
SR [V/ μ s]	42.53
1 % Settling Time [ns]	8.71
C_L (pF)	1
I_{b1} [μ A]	22
I_{b2} [μ A]	222
I_{b3} [μ A]	885
Total current [μ A]	1129
r_o [k Ω]	1.94
Power [μ W]	1354
ICMR [V]	0.05 to 0.43
Input offset voltage [mV]	0
Output offset voltage [mV]	3.31
CMRR (@2.9 MHz) [dB]	47.7
PSRR+ (@1.3 MHz) [dB]	67
PSRR- (@1.8 MHz) [dB]	46.56
IRN (1Hz - 100 MHz) [μ V _{rms}]	72.95

$V_{om\acute{a}x} = 275$ mV y mnimo $V_{omn} = -275$ mV de salida del amplificador. En la Tabla XII se muestran las dimensiones de los transistores y la multiplicidad de cada uno de stos, y en la Tabla XIII el rendimiento del amplificador CFF.

7. Comparacin de amplificadores

Los amplificadores son parte importante en el diseo analgico de circuitos integrados, y cada topologa presenta distintas caractersticas que resultan adecuadas para diferentes aplicaciones. En la Tabla XIV se muestra la comparacin de parmetros de desempeo de los amplificadores diseados con las caractersticas de desempeo mostradas en la Tabla III. La mayor transconductancia efectiva se presenta en el amplificador CFF con $g_{m_{ef}} = 124.29$ mS, sobrepasando por mucho al amplificador FC que cuenta con $g_{m_{ef}} = 637$ μ S. La mayor ganancia se obtuvo con RFC, $A_{DC,0} = 56.5$ dB, mostrando que es mejor alternativa al amplificador FC que muestra $A_{DC,0} = 49.9$ dB. El ancho de banda de los amplificadores FC y Miller es cercano al indicado en la Tabla III, con 91.2 MHz y 97.56 MHz, respectivamente, y los amplificadores RFC y CFF lo sobrepasan (139.52 MHz y 332.81 MHz,

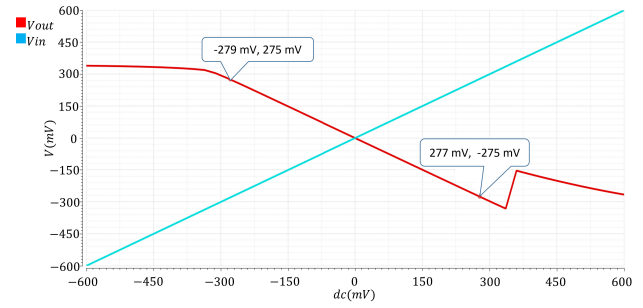
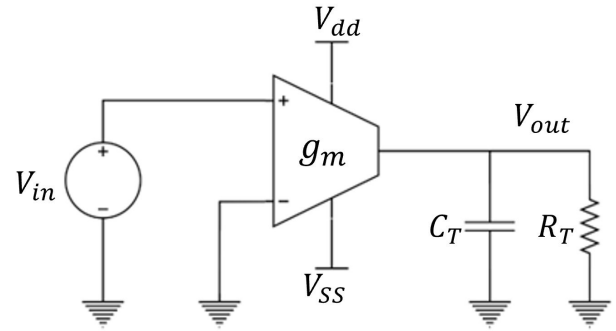
FIGURA 27. Respuesta de curva de transferencia entre V_{in} y V_{out} para medicin del output swing.

FIGURA 28. Filtro pasa-bajas de primer orden o integrador con prdida.

respectivamente). Estos ltimos tambin son los que presentan un mayor SR con 41.96 V/ μ s y 42.53 V/ μ s, respectivamente. El amplificador con mayor impedancia de salida es el RFC con $r_o = 668.34$ k Ω y el que presenta menor impedancia es el CFF con $r_o = 2.57$ k Ω . Como sabemos, la corriente de drenaje es directamente proporcional a las dimensiones del transistor (13), por lo cual el amplificador con mayor consumo de corriente es el CFF con 124.29 mA. Los amplificadores FC y RFC consumen la misma corriente (160 μ A), con lo cual se puede confirmar un mejor rendimiento y eficiencia de potencia del RFC sobre el FC. El amplificador Miller consume una corriente total de 120 μ A. Este ltimo presenta la menor potencia consumida con 144 μ W.

El anlisis de los amplificadores muestra diferentes valores de ancho de banda, ganancia, fase y velocidad de respuesta como parmetros crticos de diseo, as como un rea de diseo y consumo de energa especficos. Es importante sealar que para la metodologa aqu descrita, si se reduce al 50 % el ancho de todos los dispositivos, los amplificadores ocupan el 50 % de rea y usan el 50 % de la corriente de polarizacin, lo cual lleva a un menor consumo de potencia, pero tambin el ancho de banda y la velocidad de respuesta presentan una reduccin aproximada del 50 %.

Para realizar una comparacin de la utilidad general de los amplificadores, suponer que es de inters hacer la sntesis de un filtro pasa-bajas, que se muestra en la Fig. 28 [35], y suponer que se desea una frecuencia de corte en 1.0 MHz. El circuito es un integrador o filtro pasa-bajas con prdida, cuyo polo es determinado por el recproco del producto $R_T C_T$.

TABLA XIV. Tabla comparativa de parámetros de diseño de amplificadores.

Parámetros	Miller	FC	RFC	CFF
Power Supply [V]	1.2	1.2	1.2	1.2
CMOS Technology [nm]	130	130	130	130
$g_{m_{ef}}$ [mS]	24.45	0.637	1	124.29
DC gain [dB]	53.29	49.9	56.5	47.64
GBW [MHz]	97.56	91.2	139.52	332.81
PM [°]	89	80.2	68	82
SR [V/ μ s]	22.70	21.82	41.96	42.53
C_L [pF]	1	1	1	1
I_b [μ A]	40	80	80	—
I_{b1} [μ A]	—	—	—	22
I_{b2} [μ A]	—	—	—	222
I_{b3} [μ A]	—	—	—	885
r_o [k Ω]	18.39	519	668.34	1.94
Total current [μ A]	120	160	160	1129
Power [μ W]	144	192	192	1354

La función de transferencia que describe el comportamiento del integrador es

$$H_{LP} = \frac{g_m R_T}{s R_T C_T + 1}, \quad (52)$$

y la frecuencia de corte está definida por

$$f_c = \frac{1}{2\pi R_L C_T} \frac{1}{\left(1 + \frac{R_L}{r_o}\right) \left(1 + \frac{C_o}{C_L}\right)}, \quad (53)$$

donde g_m es la transconductancia efectiva del amplificador, $R_T = r_o || R_L$ es el paralelo de la impedancia de salida r_o y la impedancia de carga R_L , y $C_T = C_o + C_L$ es la suma de la capacitancia intrínseca de salida C_o y la capacitancia de carga C_L . Si $R_L = 159$ k Ω y $C_L = 1$ pF nótese que el primer factor en (53) corresponde a una frecuencia $f_c = 1$ MHz, sin embargo porque cada amplificador tiene diferente impedancia de salida, el segundo factor provocará un corrimiento de f_c que depende del amplificador usado (ver Tabla XV), y

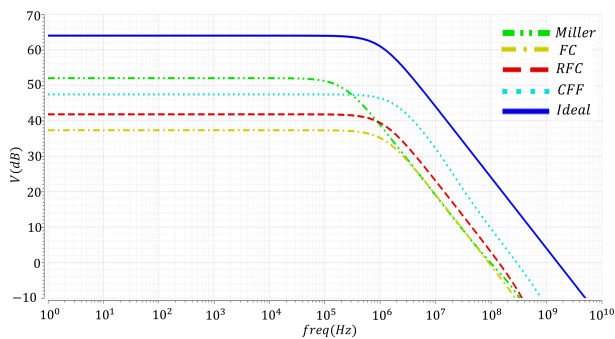


FIGURA 29. Respuesta del filtro pasa-bajas de primer orden con pérdida.

otro factor de corrimiento es el efecto de C_o mostrado también en Eq. (53). El desempeño del integrador se muestra en la Fig. 29, y en la Tabla XV se presenta el valor de la frecuencia de corte obtenida y el porcentaje en el corrimiento obtenido. De acuerdo a la Tabla XV los amplificadores que más se acercaron a 1 MHz fueron FC y RFC, debido a sus altas impedancias de salida $r_o = 519$ k Ω y $r_o = 668.34$ k Ω , respectivamente. Los amplificadores Miller y CFF, siendo amplificadores de dos etapas, mostraron un corrimiento mayor debido a su menor impedancia de salida con $r_o = 18.39$ k Ω y 2.57 k Ω , respectivamente. Nótese que otro efecto de corrimiento ocurre con la ganancia:

$$A_{DC,0} = g_m R_L \left(1 + \frac{R_L}{r_o}\right)^{-1}. \quad (54)$$

Lo anterior muestra que las características del amplificador deben tomarse en cuenta en la síntesis. Una configuración donde sólo se requiera controlar la posición del polo, es mostrada en la Fig. 30, cuya función de transferencia y frecuencia de corte son:

TABLA XV. Comparación entre respuestas del filtro pasa-bajas con pérdida.

Amplificador	f_c (MHz)	Corrimiento
Miller	0.22	77.80 %
FC	1.24	23.70 %
RFC	1.16	15.80 %
CFF	1.88	88.00 %

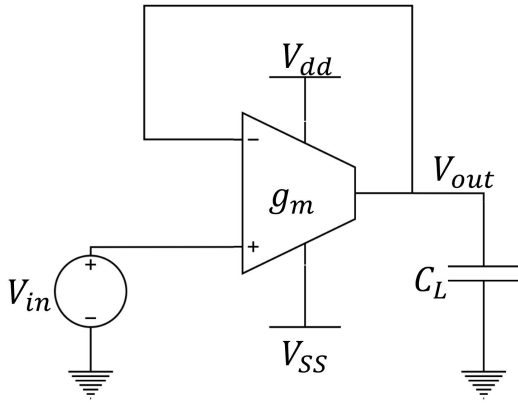


FIGURA 30. Filtro pasa-bajas con ganancia unitaria y polo ajustable.

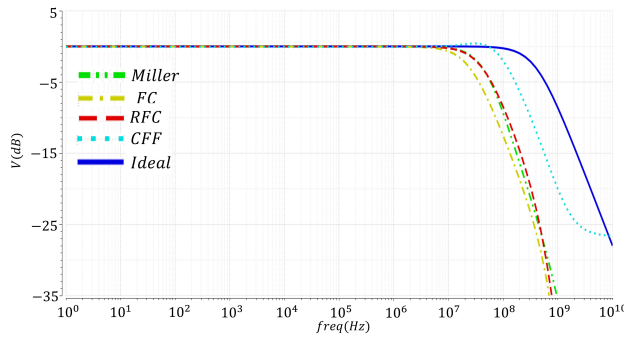


FIGURA 31. Respuesta de filtro pasa-bajas con ganancia unitaria y polo ajustable.

$$H_{LP}(s) = \left(\frac{1}{s \frac{r_o C_L}{g_{mef} r_o + 1} + 1} \right) \left(\frac{g_m r_o}{g_m r_o + 1} \right), \quad (55)$$

$$f_c = \frac{g_{mef} r_o + 1}{2\pi r_o C_L}, \quad (56)$$

donde g_{mef} es la transconductancia efectiva, r_o es la impedancia de salida y C_L la capacitancia de carga. Esta opción de diseño no sólo omite el uso de un resistor sino que, considerando el valor de g_{mef} y r_o , se define el valor de C_L y tener la frecuencia de corte requerida. Con esta estrategia cualquier amplificador puede ser usado, se reduce el área de integración y se elimina una potencial fuente de ruido térmico. Para un valor de capacitancia fijo, $C_L = 1$ pF, la respuesta se muestra en la Fig. 31, donde la frecuencia f_c es el único parámetro variable. Es importante señalar que la respuesta de los amplificadores multi-etapa presentan un mayor corrimiento en frecuencia en comparación al esperado, debido a que presentan más elementos que intervienen en el comportamiento

de la función de transferencia, por lo que también es válido tomar ventaja del simulador e inferir la capacitancia C_o . Por ejemplo, para el amplificador Miller debe considerarse la condición de estabilidad (9), lo que indica que el capacitor C_c también debe cambiar para un determinado C_L . Para el caso de obtener una frecuencia $f_c = 1$ MHz, usando (56) se obtienen valores de C_L muy grandes (Miller = 3.89 nF, FC = 101 pF, RFC = 159 pF, CFF = 19.78 nF) lo cual hace inconsistente su implementación, ya que el espacio de diseño sería muy grande y es un punto crítico que debe evitarse. Por lo tanto, de acuerdo al comportamiento observado en el filtro pasa-bajas, puede verificarse que al no considerar parámetros básicos de cada amplificador (g_m y r_o), la respuesta del filtro es diferente, lo que demuestra que el amplificador debe ser diseñado a la medida de la aplicación.

8. Conclusiones

Se presentó la descripción y análisis de los amplificadores Miller, FC, RFC y CFF, de los cuales se mostró su aproximación a un sistema de primer orden. También se presentó la metodología g_m/I_D como una alternativa al diseño de amplificadores CMOS utilizando curvas de desempeño de parámetros del transistor usando directamente la tecnología de fabricación (para este trabajo se utilizó una tecnología CMOS de 130 nm). Se determinó que con la aproximación de un sistema de primer orden de los amplificadores se puede utilizar la metodología g_m/I_D de una manera sencilla y práctica para el diseño, específicamente para el dimensionamiento de transistores (NMOS y PMOS). También se mostró la medición, mediante simulación, de diferentes parámetros de desempeño mediante el uso de diferentes configuraciones del amplificador. Sabemos que los amplificadores son parte importante en el diseño de circuitos analógicos y en este trabajo se mostró que cada topología presenta distintas características que son adecuadas para diferentes aplicaciones. Se realizó un circuito pasa-bajas en lazo abierto y lazo cerrado, donde se muestra el efecto de los parámetros fundamentales (g_m y r_o) del amplificador en el cual puede verificarse que al no considerar estos parámetros básicos, la respuesta del filtro es diferente, lo que demuestra que no es el amplificador el que se ajusta a una aplicación sino que la aplicación impone las características de desempeño al amplificador, y justifica por qué su diseño es a la medida.

Agradecimientos

Victor Hugo Arzate-Palma agradece a CONACYT la beca de doctorado concedida para el periodo 2020-2024.

1. J.-H. Tsai, S.-W. Huang, and J.-P. Chou, A 5.5 GHz low-power PLL using 0.18- μm CMOS technology, In 2014 *IEEE Radio and Wireless Symposium (RWS)* (2014) pp. 205-207, <https://doi.org/10.1109/RWS.2014.6830071>.
2. G.-C. Hsieh and J. Hung, Phase-locked loop techniques. A survey, *IEEE Transactions on Industrial Electronics* **43** (1996) 609, <https://doi.org/10.1109/41.544547>
3. O. Kegege, *et al.*, Mission optimization and tradeoffs of using SiGe based electronics for a cryogenic environment rover mission, In 2010 *IEEE Aerospace Conference* (2010) pp. 1-6, <https://doi.org/10.1109/AERO.2010.5446757>.
4. B. Razavi, Design of analog CMOS integrated circuits (McGraw-Hill, 2005), pp. 9-369.
5. R. J. Baker, CMOS: circuit design, layout, and simulation (John Wiley & Sons, 2019), pp. 161-930.
6. F. Cortes and S. Bampi, Miller OTA Design using a Design Methodology Based on the gm/Id and Early-Voltage Characteristics: Design Considerations and Experimental Results, Proceedings of XII Workshop Iberchip (2006) 501.
7. R. J. Van de Plassche, CMOS integrated analog-to-digital and digital-to-analog converters, vol. 742 (Springer Science & Business Media, 2013), pp. 1-104.
8. R. del Rio and M. Jose, CMOS sigma-delta converters: Practical design guide (John Wiley & Sons, 2013), pp. 1-76.
9. M. Sandoval-Ibarra, Cuesta-Claros, Design of 2nd order low-pass active filters by preserving the physical meaning of design variables, *Rev. Mex. Fis. E* [online] **57** (2011) 1, https://www.scielo.org.mx/scielo.php?script=sci_arttext&pid=S1870-35422011000100001&lng=es&nrm=iso
10. L. Kawecki, A new type of analog cosine converter, *Rev. Mex. Fis. E* [online] **52** (2006) 387, https://www.scielo.org.mx/scielo.php?script=sci_arttext&pid=S0035-001X2006000400015&lng=es&nrm=iso
11. P. S. Sushma, *et al.*, Design of high gain bulk-driven miller OTA using 180nm CMOS technology, In 2016 IEEE International Conference on Recent Trends in Electronics, Information Communication Technology (RTEICT) (2016) pp. 1774-1777, <https://doi.org/10.1109/RTEICT.2016.7808139>.
12. S. I. Singh, Design of low-voltage CMOS two-stage operational transconductance amplifier, In 2017 International Conference on Electrical, Electronics, Communication, Computer, and Optimization Techniques (ICECCOT) (2017) pp. 248-252, <https://doi.org/10.1109/ICECCOT.2017.8284677>.
13. B. Gupta and U. Bansal, Design Of Low Power Floating Gate Miller OTA, In 2018 3rd IEEE International Conference on Recent Trends in Electronics, Information Communication Technology (RTEICT) (2018) pp. 195-199, <https://doi.org/10.1109/RTEICT42901.2018.9012378>.
14. A. D. Grasso, *et al.*, High-Performance Three-Stage Single-Miller CMOS OTA With No Upper Limit of CL, *IEEE Transactions on Circuits and Systems II: Express Briefs* **65** (2018) 1529, <https://doi.org/10.1109/TCSII.2017.2756923>
15. M. A. Mohammed and G. W. Roberts, A Scalable Many-Stage CMOS OTA for Closed-Loop Applications, In 2021 *IEEE International Symposium on Circuits and Systems (ISCAS)* (2021) pp. 1-5, <https://doi.org/10.1109/ISCAS51556.2021.9401697>.
16. R. S. Assaad and J. Silva-Martinez, The Recycling Folded Cascode: A General Enhancement of the Folded Cascode Amplifier, *IEEE Journal of Solid-State Circuits* **44** (2009) 2535, <https://doi.org/10.1109/JSSC.2009.2024819>
17. Y. Li, *et al.*, Transconductance enhancement method for operational transconductance amplifiers, *Electronics letters* **46** (2010) 1321, <https://doi.org/10.1049/el.2010.1575>
18. M. Ahmed, *et al.*, An improved recycling folded cascode amplifier with gain boosting and phase margin enhancement, In 2015 *IEEE International Symposium on Circuits and Systems (ISCAS)* (2015) pp. 2473-2476, <https://doi.org/10.1109/ISCAS.2015.7169186>.
19. L. Kouhalvandi, *et al.*, An improved 2 stage opamp with rail-to-rail gain-boosted folded cascode input stage and monolithic rail-to-rail class AB output stage, In 2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS) (2017) pp. 542-545, <https://doi.org/10.1109/ICECS.2017.8292126>.
20. M. P. Garde, *et al.*, Super Class-AB Recycling Folded Cascode OTA, *IEEE Journal of Solid-State Circuits* **53** (2018) 2614, <https://doi.org/10.1109/JSSC.2018.2844371>
21. P. E. Allen and D. R. Holberg, CMOS analog circuit design (Elsevier, 2011), pp. 36-432.
22. B. Thandri and J. Silva-Martinez, A robust feedforward compensation scheme for multistage operational transconductance amplifiers with no Miller capacitors, *IEEE Journal of Solid-State Circuits* **38** (2003) 237, <https://doi.org/10.1109/JSSC.2002.807410>.
23. R. Kumar, R. Nagulapalli, and S. K. Vishvakarma, A Novel Gain Enhanced Folded Cascode OPAMP in 28nm CMOS Technology, In 2022 International Conference on Electrical, Computer and Energy Technologies (ICECET) (2022) pp. 1-4, <https://doi.org/10.1109/ICECET55527.2022.9872766>.
24. D. Liu, *et al.*, An Improved Recycling Folded-Cascode Amplifier with Nested Current Mirror for Front-end Readout ASIC, In 2022 IEEE 2nd International Conference on Electronic Technology, Communication and Information (ICETCI) (2022) pp. 281-284, <https://doi.org/10.1109/ICETCI55101.2022.9832277>.
25. A. V. Kayyil, *et al.*, A Two-Stage CMOS OTA with Load-Pole Cancellation, In 2019 *IEEE International Symposium on Circuits and Systems (ISCAS)* (2019) pp. 1-5, <https://doi.org/10.1109/ISCAS.2019.8702347>.
26. P. Jespers, The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits: The semi-empirical and compact model approaches (Springer Science & Business Media, 2009), pp. 1-48.
27. F. Silveira, D. Flandre, and P. Jespers, A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micro-power OTA, *IEEE Journal of Solid-State Circuits* **31** (1996) 1314, <https://doi.org/10.1109/4.535416>

28. F. P. Cortes, E. Fabris, and S. Bampi, A band-pass Gm-C Filter design based on gm/ID methodology and characterization, In Proceedings of the 19th annual symposium on Integrated circuits and systems design (2006) pp. 232-237, <https://doi.org/10.1145/1150343.1150401>.
29. M. C. Schneider and C. Galup-Montoro, CMOS analog design using all-region MOSFET modeling (Cambridge University Press, 2010), pp. 1-175.
30. C. T. Chan, D. A. Johns, and K. W. Martin, Analog Integrated Circuit Design (2011).
31. L. Kouhalvandi, *et al.*, An improved 2 stage opamp with railto- rail! gain-boosted folded cascode input stage and motticelli rail-to-rail class AB output stage, In 2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS) (2017) pp. 542-545, <https://doi.org/10.1109/ICECS.2017.8292126>.
32. B. Lipka, *et al.*, Design of a complementary folded-cascode operational amplifier, In 2009 IEEE International SOC Conference (SOCC) (2009) pp. 111-114, <https://doi.org/10.1109/SOCCON.2009.5398081>.
33. K. Kim and J. Silva-Martinez, Low-power 3rd-order continuous-time low-pass sigma-delta analog-to-digital converter for wideband applications, In 2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS) (2012) pp. 814-817, <https://doi.org/10.1109/MWSCAS.2012.6292145>.
34. B. Kamath, R. Meyer, and P. Gray, Relationship between frequency response and settling time of operational amplifiers, *IEEE Journal of Solid-State Circuits* **9** (1974) 347, <https://doi.org/10.1109/JSSC.1974.1050527>.
35. R. L. Geiger and E. SÁnchez-Sinencio, Active filter design using operational transconductance amplifiers: A tutorial, *IEEE Circuits and Devices Magazine* **1** (1985) 20, <https://doi.org/10.1109/MCD.1985.6311946>.
36. S. D. Yu, Small-Signal Analysis of a Differential Two-Stage Folded-Cascode CMOS Op Amp, *JSTS: Journal of Semiconductor Technology and Science* **14** (2014) 768, <https://doi.org/10.5573/JSTS.2014.14.6.768>.